

Docket No.: 57454-062

PATENT

J1036 U.S. PTO
09/834954



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tomohide TERASHIMA

Serial No.:

Filed: April 16, 2001

For: SEMICONDUCTOR DEVICE

:
:
:
:
:
:
:

Group Art Unit:

Examiner:

S. Stevenson
JB
8-20-01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority
of:

Japanese Patent Application No. 2000-353945,
Filed November 21, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Becker
Stephen A. Becker

Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:ykg
Date: April 16, 2001
Facsimile: (202) 756-8087

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

57454-062
April 16, 2001
TERASHIMA
McDermott, Will & Emery

J1036 U.S. PTO
09/834954



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年11月21日

出願番号
Application Number:

特願2000-353945

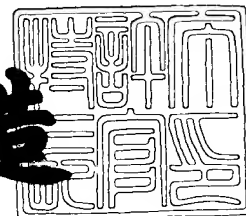
出願人
Applicant(s):

三菱電機株式会社

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3104887

【書類名】 特許願

【整理番号】 523223JP01

【提出日】 平成12年11月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/70
H01L 29/78
H01L 21/336

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 寺島 知秀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、
前記半導体基板の主表面上に形成された第 1 導電型の半導体層と、
前記半導体層と前記半導体基板との間に形成された第 1 導電型の第 1 埋め込み不純物領域と、

前記第 1 埋め込み不純物領域と前記半導体層との間に形成された第 2 導電型の第 2 埋め込み不純物領域と、

前記半導体層の表面に形成され、前記第 2 埋め込み不純物領域に電氣的に接続される第 2 導電型の第 1 不純物領域と、

前記第 2 埋め込み不純物領域の上方の領域に位置する前記半導体層の表面またはその内部に形成された第 1 導電型の第 2 不純物領域と、

前記第 1 不純物領域および前記第 2 不純物領域を含み、前記半導体層の表面に形成されたスイッチング機能を有する半導体素子と
を備え、

前記半導体素子がオフ状態においては、前記第 2 埋め込み不純物領域と前記半導体層との界面から延びる空乏層によって耐圧が確保され、

前記第 2 埋め込み不純物領域は、前記第 2 不純物領域の略直下に位置する部分において前記第 2 埋め込み不純物領域の表面が前記第 2 不純物領域から遠ざかる方向に窪んだ第 1 窪み部、または、前記第 2 埋め込み不純物領域が途切れている第 1 隙間部を含む、半導体装置。

【請求項 2】 前記半導体素子は、

前記第 1 不純物領域の表面に前記第 1 不純物領域によって取り囲まれるように形成された第 1 導電型の第 3 不純物領域と、

前記第 3 不純物領域と前記半導体層とによって挟まれた前記第 1 不純物領域の表面上に絶縁膜を介在させて形成された電極部と
を含む、請求項 1 記載の半導体装置。

【請求項 3】 前記半導体素子は、前記第 2 不純物領域に接するように形成

された第 2 導電型の第 4 不純物領域をさらに含む、請求項 2 記載の半導体装置。

【請求項 4】 前記半導体素子は前記半導体層の表面に形成された第 2 導電型の第 5 不純物領域を含む、請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 埋め込み不純物領域は前記第 1 窪み部を複数含む、請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】 前記第 2 埋め込み不純物領域は前記第 1 隙間部を複数含む、請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 7】 前記第 2 埋め込み不純物領域は、複数の前記第 1 隙間部によりそれぞれ電氣的にフローティングな状態にされた複数の領域を含む、請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 埋め込み不純物領域は、前記第 1 隙間部の略直下に位置する部分において前記第 1 埋め込み不純物領域の表面が前記第 2 不純物領域から遠ざかる方向に窪んだ第 2 窪み部、または、前記第 1 埋め込み領域が途切れている第 2 隙間部を含む、請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 9】 前記第 1 埋め込み不純物領域と前記第 2 埋め込み不純物領域との接合界面は凹凸状になっている、請求項 4 記載の半導体装置。

【請求項 10】 主表面を有する半導体基板と、
前記半導体基板の主表面上に形成された第 1 導電型の半導体層と、
前記半導体基板と前記半導体層との間に形成された第 1 導電型の埋め込み不純物領域と、

前記半導体層の表面に形成され、前記埋め込み不純物領域に電氣的に接続される第 1 導電型の第 1 不純物領域と、

前記埋め込み不純物領域の上方の領域に位置する前記半導体層の表面に形成された第 2 導電型の第 2 不純物領域と、

前記第 1 不純物領域および前記第 2 不純物領域を含む、前記半導体層の表面に形成されたスイッチング機能を有する半導体素子と
を備え、

前記半導体素子がオフ状態においては、前記第 2 不純物領域と前記半導体層との界面から延びる空乏層によって耐圧が確保され、

前記埋め込み不純物領域は、前記第 2 不純物領域の略直下に位置する部分において前記埋め込み不純物領域の表面が前記第 2 不純物領域から遠ざかる方向に窪んだ窪み部、または、前記埋め込み領域が途切れている隙間部を含む、半導体装置。

【請求項 1 1】 前記半導体素子は、

前記第 2 不純物領域の表面に前記第 2 不純物領域によって取り囲まれるように形成された第 1 導電型の第 3 不純物領域と、

前記第 3 不純物領域と前記半導体層とによって挟まれた前記第 2 不純物領域の表面上に絶縁膜を介在させて形成された電極部とを含む、請求項 1 0 記載の半導体装置。

【請求項 1 2】 前記半導体素子は、前記半導体層の表面に形成された第 2 導電型の第 4 不純物領域を含む、請求項 1 0 記載の半導体装置。

【請求項 1 3】 前記窪み部または隙間部は前記空乏層が延びてくる部分に形成されている、請求項 1 0 ～ 1 2 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、Double Diffused Metal Oxide Semiconductor（以下、「DMOS」と記す。）トランジスタを備えた半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

大電流をスイッチングするための半導体装置の一例として、DMOS トランジスタを備えた半導体装置について説明する。図 3 0 に示すように、p-シリコン基板 1 0 1 上にN-エピタキシャル層 1 0 2 が形成されている。p-シリコン基板 1 0 1 とN-エピタキシャル層 1 0 2 との間には、N+埋め込み拡散領域 1 0 3 が形成されている。また、N+埋め込み拡散領域 1 0 3 とN-エピタキシャル層 1 0 2 との間には、P+埋め込み拡散領域 1 0 4 が形成されている。

【0 0 0 3】

N-エピタキシャル層 1 0 2 の表面にはN拡散領域 1 0 7 が形成されている。そのN拡散領域 1 0 7 を周囲から取り囲むようにP拡散領域 1 0 6 が形成されている。また、N-エピタキシャル層 1 0 2 の表面には、P拡散領域 1 0 6 に接しP+埋め込み拡散領域 1 0 4 に達するP拡散領域 1 0 5 が形成されている。N拡散領域 1 0 7 とN-エピタキシャル層 1 0 2 との間に位置するP拡散領域 1 0 6 の表面上に、絶縁膜を介在させてゲート電極 1 1 0 が形成されている。

【 0 0 0 4 】

N拡散領域 1 0 7 に電氣的に接続されるソース電極 1 1 1 が形成されている。また、N-エピタキシャル層 1 0 2 の表面には分離のためのシリコン酸化膜 1 0 9 が形成されている。シリコン酸化膜 1 0 9 を挟んでソース電極 1 1 1 と反対側にはドレイン電極 1 1 2 が形成されている。ドレイン電極 1 1 2 はN-エピタキシャル層 1 0 2 に形成されたN拡散領域 1 0 8 に電氣的に接続されている。従来の半導体装置は上記のように構成される。

【 0 0 0 5 】

【発明が解決しようとする課題】

通常の半導体装置では、P拡散領域 1 0 6 のコーナー部分において電界が集中しやすくなるが、上述した半導体装置では、図 3 1 に示すようにP+埋め込み拡散領域 1 0 4 から延びる空乏層 (RESURF効果) によりそのコーナー部に集中する電界が緩和される。

【 0 0 0 6 】

これにより、この半導体装置では、N-エピタキシャル層 1 0 2 とP+埋め込み拡散領域 1 0 4 と界面からN拡散領域 1 0 8 の側に向かって延びる空乏層端と、P+埋め込み拡散領域 1 0 4 の側に向かって延びる空乏層端とが最も接近した空乏層の幅Lに基づく耐圧にまで上昇させることができる。

【 0 0 0 7 】

ところが、逆にいえば、この半導体装置では両空乏層端が最も接近した部分により耐圧が制限されることになる。耐圧をさらに向上させようとする、両空乏層端間の距離をより長くする必要があるが、それには、N-エピタキシャル層 1 0 2 の膜厚をより厚くする対策が有効である。

【 0 0 0 8 】

しかしながら、N-エピタキシャル層 1 0 2 の膜厚をより厚くすると、それに合わせてN-エピタキシャル層 1 0 2 を分離するためのP拡散領域 1 0 5 等をより深く形成する必要があった。また、半導体素子として縦型NPNトランジスタ等を形成する場合には縦方向に電流が流れることになるが、この場合には半導体装置の抵抗が上昇するという問題があった。

【 0 0 0 9 】

本発明は上記問題点を解決するためになされたものであり、N-エピタキシャル層の膜厚を厚くすることなく、また製造方法を変更することなく容易に耐圧を向上することができる半導体装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の 1 つの局面における半導体装置の第 1 のものは、主表面を有する半導体基板と第 1 導電型の半導体層と第 1 導電型の第 1 埋め込み不純物領域と第 2 導電型の第 2 埋め込み不純物領域と第 2 導電型の第 1 不純物領域と第 1 導電型の第 2 不純物領域と半導体素子とを備えている。第 1 導電型の半導体層は半導体基板の主表面上に形成されている。第 1 導電型の第 1 埋め込み不純物領域は半導体層と半導体基板との間に形成されている。第 2 導電型の第 2 埋め込み不純物領域は、第 1 埋め込み不純物領域と半導体層との間に形成されている。第 2 導電型の第 1 不純物領域は、半導体層の表面に形成され、第 2 埋め込み不純物領域に電氣的に接続されている。第 1 導電型の第 2 不純物領域は、第 2 埋め込み不純物領域の上方の領域に位置する半導体層の表面またはその内部に形成されている。半導体素子は、第 1 不純物領域および第 2 不純物領域を含み、半導体層の表面に形成されてスイッチング機能を有している。そして、この半導体素子がオフ状態においては、第 2 埋め込み不純物領域と半導体層との界面から延びる空乏層によって耐圧が確保される。第 2 埋め込み不純物領域は、第 2 不純物領域の略直下に位置する部分において第 2 埋め込み不純物領域の表面が第 2 不純物領域から遠ざかる方向に窪んだ第 1 窪み部、または、第 2 埋め込み不純物領域が途切れている第 1 隙間部を含んでいる。

【 0 0 1 1 】

この半導体装置によれば、第 2 不純物領域の略直下に位置する部分において第 2 埋め込み不純物領域の表面が第 2 不純物領域から遠ざかるように窪んだ第 1 窪み部、または、この領域が途切れた第 1 隙間部が形成されていることで、この部分における半導体層の実効的な厚みが増すことになる。これにより、オフ状態において、半導体層と第 2 埋め込み不純物領域との界面から延びる空乏層の第 2 埋め込み不純物領域の側に向かって延びる空乏層端が、第 2 不純物領域の直下の部分では他の部分よりもより深いところに位置することになる。その結果、従来の半導体装置と比較すると、第 2 不純物領域の直下に位置する空乏層の幅が延びることになり、第 2 不純物領域直下部分における耐圧が上昇して半導体装置全体の耐圧が向上する。

【 0 0 1 2 】

半導体素子として DMOS トランジスタを設けるためには、具体的に、第 1 不純物領域の表面に第 1 不純物領域によって取り囲まれるように形成された第 1 導電型の第 3 不純物領域と、その第 3 不純物領域と半導体層とによって挟まれた第 1 不純物領域の表面上に絶縁膜を介在させて形成された電極部とを含んでいることが望ましい。

【 0 0 1 3 】

また、半導体素子として IGBT を設ける場合には、第 2 不純物領域に接するように形成された第 2 導電型の第 4 不純物領域をさらに含んでいることが望ましい。

【 0 0 1 4 】

そして、半導体素子としてバイポーラ型トランジスタを設ける場合には、半導体層の表面に形成された第 2 導電型の第 5 不純物領域を含んでいることが望ましい。

【 0 0 1 5 】

また、第 2 埋め込み不純物領域は第 1 窪み部を複数含んでいることが望ましい。

【 0 0 1 6 】

この場合には、オフ状態において、空乏層の幅が延びる部分が多く形成されることで、より広い第2不純物領域を有する半導体装置に対してもその耐圧を向上することができる。

【0017】

また、第2埋め込み不純物領域は第1隙間部を複数含んでいることが望ましい。

【0018】

この場合には、この部分における半導体層の実効的な厚みがさらに増して、オフ状態において、半導体層と第2埋め込み不純物領域との界面から延びる空乏層幅がさらに大きくなる。その結果、半導体装置の耐圧がさらに向上する。

【0019】

さらに、第2埋め込み不純物領域は、複数の第1隙間部によりそれぞれ電氣的にフローティングな状態にされた複数の領域を含んでいることが望ましい。

【0020】

この場合には、第1不純物領域の側から第2不純物領域の側に向かう方向に沿って、フローティングな状態にされた個々の第2埋め込み不純物領域の電位も上昇することになる。これにより、第2不純物領域の直下近傍に位置する第2埋め込み不純物領域の電位と第2不純物領域の電位との電位差がより小さくなる。その結果、電位差が小さくなる分半導体装置の耐圧を向上することができる。

【0021】

また、第1埋め込み不純物領域は、第1隙間部の略直下に位置する部分において第1埋め込み不純物領域の表面が第2不純物領域から遠ざかる方向に窪んだ第2窪み部、または、第1埋め込み領域が途切れている第2隙間部を含んでいることが望ましい。

【0022】

この場合には、第1埋め込み不純物領域を構成する不純物が、第1隙間部を挟んで位置する第2埋め込み不純物領域の間の半導体層の部分に拡散するのが抑えられて、この部分における不純物濃度の上昇が抑制されることになる。これにより、第1隙間部の間隔をより広げてもピンチオフ電圧の上昇は小さく抑えられて

、第2不純物領域の直下に位置する半導体層の実効的な膜厚をより厚くすることができる。その結果、半導体装置の耐圧をさらに向上することができる。

【0023】

さらに、第1埋め込み不純物領域と第2埋め込み不純物領域との接合界面は凹凸状になっていることが好ましい。

【0024】

この場合には、第1埋め込み不純物領域と第2埋め込み不純物領域との接合界面が凹凸状になることで、この接合界面から延びる空乏層がより広がることになる。その結果、この接合部分の耐圧が向上して、半導体素子としてたとえばバイポーラトランジスタを設けた場合のコレクタの電位が負バイアス時における半導体装置の耐圧を向上することができる。

【0025】

本発明の一つの局面における半導体装置の第2のものは、主表面を有する半導体基板と、第1導電型の半導体層と第1導電型の埋め込み不純物領域と第1導電型の第1不純物領域と第2導電型の第2不純物領域と半導体素子とを備えている。第1導電型の半導体層は半導体基板の主表面上に形成されている。第1導電型の埋め込み不純物領域は半導体基板と半導体層との間に形成されている。第1導電型の第1不純物領域は半導体層の表面に形成され、埋め込み不純物領域に電気的に接続されている。第2導電型の第2不純物領域は埋め込み不純物領域の上方の領域に位置する半導体層の表面に形成されている。半導体素子は第1不純物領域および第2不純物領域を含み、半導体層の表面に形成されてスイッチング機能を有している。その半導体素子がオフ状態においては、第2不純物領域と半導体層との界面から延びる空乏層によって耐圧が確保される。埋め込み不純物領域は、第2不純物領域の略直下に位置する部分において埋め込み不純物領域の表面が第2不純物領域から遠ざかる方向に窪んだ窪み部、または、埋め込み領域が途切れている隙間部を含んでいる。

【0026】

この半導体装置によれば、オフ状態では、特に第2不純物領域と半導体層との界面から空乏層が延びることになる。このとき、第2不純物領域の略直下に位置

する部分において埋め込み不純物領域の表面が第2不純物領域から遠ざかるように窪んだ窪み部、または、この領域が途切れた隙間部が形成されていることで、この部分では実効的な半導体層の厚さが増して埋め込み不純物領域側に延びる空乏層端がより深い位置にまで達することができる。これにより、空乏層幅が広がって半導体装置の耐圧が向上する。

【0027】

半導体素子としてDMOSトランジスタを設ける場合には、第2不純物領域の表面に第2不純物領域によって取り囲まれるように形成された第1導電型の第3不純物領域と、第3不純物領域と半導体層とによって挟まれた第2不純物領域の表面上に絶縁膜を介在させて形成された電極部とを含んでいることが望ましい。

【0028】

また、半導体素子としてバイポーラトランジスタを設ける場合には、半導体層の表面に形成された第2導電型の第4不純物領域を含んでいることが望ましい。

【0029】

また、窪み部または隙間部は空乏層が延びてくる部分に形成されていることが望ましい。

【0030】

この場合には、延びてくる空乏層をより延ばすことができ、半導体素子としてたとえばバイポーラトランジスタを設ける場合には、電流増幅率を低下させることなく、耐圧を向上することができる。

【0031】

【発明の実施の形態】

実施の形態1

本発明の実施の形態1に係るDMOSトランジスタを備えた半導体装置について説明する。図1に示すように、P-シリコン基板1上にN-エピタキシャル層2が形成されている。P-シリコン基板1とN-エピタキシャル層2との間には、N+埋め込み拡散領域3が形成されている。また、N+埋め込み拡散領域3とN-エピタキシャル層2との間には、P+埋め込み拡散領域4が形成されている。

【 0 0 3 2 】

N-エピタキシャル層 2 の表面にはN拡散領域 7 が形成されている。そのN拡散領域 7 を周囲から取り囲むようにP拡散領域 6 が形成されている。また、N-エピタキシャル層 2 の表面には、P拡散領域 6 に接しP+埋め込み拡散領域 4 に達するP拡散領域 5 が形成されている。N拡散領域 7 とN-エピタキシャル層 2 との間に位置するP拡散領域 6 の表面上に、絶縁膜を介在させてゲート電極 1 0 が形成されている。

【 0 0 3 3 】

N拡散領域 7 に電氣的に接続されるソース電極 1 1 が形成されている。また、N-エピタキシャル層 2 の表面には分離のためのシリコン酸化膜 9 が形成されている。シリコン酸化膜 9 を挟んでソース電極 1 1 と反対側にはドレイン電極 1 2 が形成されている。ドレイン電極 1 2 はN-エピタキシャル層 2 に形成されたN拡散領域 8 に電氣的に接続されている。

【 0 0 3 4 】

そして、本半導体装置では、N拡散領域 8 の略直下に位置するP+埋め込み拡散領域 4 の表面がN拡散領域 8 から遠ざかるように窪んでおり、特に、この部分において、P+埋め込み拡散領域 4 はくびれるように形成されている。このくびれ 6 4 は、たとえば、N拡散領域 8 が延びる方向に沿って形成されている。

【 0 0 3 5 】

このようなくびれ 6 4 は、図 2 に示すように、少なくともN拡散領域 8 の直下の位置に対応する領域を覆うフォトリソグのパターン 6 1 をマスクとしてイオン注入処理を施すとともに、その後の熱処理を経ることで形成される。

【 0 0 3 6 】

すなわち、注入された不純物が熱処理により、N拡散領域 8 の直下に位置するN-エピタキシャル層 2 の領域およびN+埋め込み拡散領域 3 に拡散することで、この部分においてP+埋め込み拡散領域 4 a、4 b が互いに繋がって、この部分にくびれ 6 4 が形成される。

【 0 0 3 7 】

上述した半導体装置では、N拡散領域 8 の直下に位置するP+埋め込み拡散領

域4の部分にくびれ64が形成されて、P+埋め込み拡散領域4の表面がN拡散領域8から遠ざかるように窪んでいることで、そのようなくびれがない場合と比べると、この部分におけるN-エピタキシャル層2の実効的な厚みが増すことになる。

【0038】

このため、オフ状態においては、N-エピタキシャル層2とP+埋め込み拡散領域4と界面から空乏層が延びることになるが、このときP+埋め込み拡散領域4の側に向かって延びる空乏層端においては、図3に示すように、N拡散領域8の直下の部分では他の部分よりもより深いところに位置することになる。

【0039】

その結果、従来の半導体装置と比較すると、N拡散領域8の直下に位置する空乏層の幅L1が延びることになりドレイン電極12直下部分における耐圧が上昇して半導体装置全体の耐圧が向上する。

【0040】

なお、この実施の形態では、P+埋め込み拡散領域4のくびれ64をN拡散領域8の略直下に、N拡散領域8に沿って形成した場合を例にあげて説明したが、そのようなくびれをドット状に断続的に形成してもよい。また、P+埋め込み拡散領域4となる領域を当初ドット状に形成して、各ドット状の拡散領域を熱処理により互いに繋げてP+埋め込み拡散領域4を形成してもよい。

【0041】

また、上述した半導体装置では、図4に示すように、P+埋め込み拡散領域4に電流63が流れる場合がある。これは、図5に示すように、DMOSトランジスタのドレイン電極にコイル62（L負荷）が接続されている場合、ハイサイド側のDMOSがオン状態からオフ状態になった瞬間にコイル62の起電力によってドレインの電位がソースの電位よりも低くなる。

【0042】

このため、DMOSトランジスタの寄生ダイオードの順バイアス動作により矢印に示すように電流がコイルに向かって流れる。この電流がP+埋め込み拡散領域4を流れることになる。

【 0 0 4 3 】

このような場合には、図 6 に示すように、P+埋め込み拡散領域 4 のくびれ 6 4 をこの電流 6 3 が流れる方向に沿って形成することで、この P+埋め込み拡散領域 4 を電流が流れる際の抵抗の上昇を最小限に抑えることができる。

【 0 0 4 4 】

以上のように、本半導体装置では、P+埋め込み拡散領域 4 を形成するためのマスクパターンを変更するだけで、N-エピタキシャル層 2 の厚さを厚くすることなく半導体装置の耐圧を容易に向上することができる。

【 0 0 4 5 】

実施の形態 2

本発明の実施の形態 2 に係る DMOS トランジスタを備えた半導体装置について説明する。図 7 に示すように、本半導体装置では、N 拡散領域 8 の直下に位置する P+埋め込み拡散領域 4 において、スリット 6 5 が形成されている。

【 0 0 4 6 】

なお、これ以外の構成については実施の形態 1 において説明した図 1 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 0 4 7 】

この半導体装置におけるスリット 6 5 は、実施の形態 1 の場合と同様に、N 拡散領域 8 の直下の位置に対応する領域を覆うフォトリソのパターンをマスクとしてイオン注入処理を施すとともに、その後の熱処理を経ることで形成される。

【 0 0 4 8 】

このとき、熱処理により、注入された不純物が N 拡散領域 8 の直下に位置する N-エピタキシャル層 2 の領域および N+埋め込み拡散領域 3 に拡散することになるが、実施の形態 1 の場合と異なって、最終的にはこの部分では P+埋め込み拡散領域 4 a、4 b は互いに繋がらない。

【 0 0 4 9 】

特に、この半導体装置の場合には、N+埋め込み拡散領域 3 とドレイン電極 1 2 とが電氣的に繋がっているために、耐圧保持状態においては、N+埋め込み拡

散領域 3 と P + 埋め込み拡散領域 4 a、4 b との間に逆バイアスが印加される。このとき、スリット 6 5 にけるピンチオフ電圧が N + 埋め込み拡散領域 3 と P + 埋め込み拡散領域 4 a、4 b との間の耐圧よりも低いことが望ましい。

【 0 0 5 0 】

図 8 に示すように、ピンチオフ前の状態では、P + 埋め込み拡散領域 4 a の側に形成される空乏層と、P + 埋め込み拡散領域 4 b 側に形成される空乏層とは繋がっていない。そして、このとき、ドレイン電圧が N + 埋め込み拡散領域 3 の電位に等しい。また、N + 埋め込み拡散領域 3 の電位は P + 埋め込み拡散領域 4 a、4 b 間のピンチオフ電圧以上には上昇しない。

【 0 0 5 1 】

ピンチオフ電圧がたとえば 2 0 V の場合には、N + 埋め込み拡散領域 3 の電位がソース電位よりも 2 0 V 高くなる。そして、図 9 に示すように、ピンチオフ後の状態では P + 埋め込み拡散領域 4 a の側に形成される空乏層と P + 埋め込み拡散領域 4 b 側に形成される空乏層とが繋がることになる。

【 0 0 5 2 】

これにより、実施の形態 1 における半導体装置と比べると、オフ状態における実効的な N - エピタキシャル層 2 の厚さが増し（空乏層の幅）、ドレイン電極 1 2 直下部分における耐圧がより上昇して半導体装置全体の耐圧が向上する。

【 0 0 5 3 】

また、実施の形態 1 の場合と同様に、P + 埋め込み拡散領域を形成するためのマスクパターンを変更するだけでように、半導体装置の耐圧を向上することができる。

【 0 0 5 4 】

実施の形態 3

本発明の実施の形態 3 に係る D M O S トランジスタを備えた半導体装置について説明する。図 1 0 に示すように、本半導体装置では、N 拡散領域 8 の直下に位置する N + 埋め込み拡散領域 3 a、3 b においてくびれ 6 6 が形成されている。

【 0 0 5 5 】

なお、これ以外の構成については実施の形態 2 において説明した図 7 に示す半

導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0056】

このN+埋め込み拡散領域3におけるくびれ66は、実施の形態1におけるP+埋め込み拡散領域4を形成する場合と同様に、N拡散領域8の直下の位置に対応する領域を覆うフォトリジストのパターンをマスクとしてイオン注入処理を施すとともに、その後の熱処理を経ることで形成される。

【0057】

このとき、注入された不純物が熱処理により、N拡散領域8の直下に位置するN-エピタキシャル層2の領域およびP-シリコン基板1に拡散して、最終的にN+埋め込み拡散領域3a、3bは互いに繋がって、この部分にくびれ66が形成される。

【0058】

実施の形態2において説明した半導体装置の場合、隣り合うP+埋め込み拡散領域4a、4bの間隔を広げることで、N拡散領域8の直下に位置するN-エピタキシャル層2の実効的な膜厚をより厚くすることができる。

【0059】

しかしながら、P+埋め込み拡散領域4aとP+埋め込み拡散領域4bとの間のN-エピタキシャル層2の部分に、N+埋め込み拡散領域3を構成する不純物が拡散してこの部分の不純物濃度が上昇する。そのため、この部分における空乏層の伸びが抑制されて、空乏層が繋がらなくなってしまうピンチオフすることができなくなることがある。したがって、これを防止するために隣り合うP+埋め込み拡散領域4a、4bの間隔が制限されることになる。

【0060】

一方、本半導体装置では、N拡散領域8の直下に領域においてN+埋め込み拡散領域3aとN+埋め込み拡散領域3bとが繋がって、この部分にくびれ66が形成されている。つまり、P+埋め込み拡散領域4aとP+埋め込み拡散領域4bとによって挟まれ部分の直下にN+埋め込み拡散領域3のくびれ66が形成されている。

【0061】

そのため、図 1 1 に示すように、N+埋め込み拡散領域 3 を構成する不純物が、P+埋め込み拡散領域 4 a と P+埋め込み拡散領域 4 b との間の N-エピタキシャル層 2 の部分に拡散するのが抑えられて、この部分における不純物濃度の上昇が抑制されることになる。

【0062】

これにより、実施の形態 2 における半導体装置の場合と比較して、P+埋め込み拡散領域 4 a と P+埋め込み拡散領域 4 b とのスリットの幅（間隔）をより広げてもピンチオフ電圧の上昇は小さく抑えられるため、N 拡散領域 8 の直下に位置する N-エピタキシャル層 2 の実効的な膜厚をより厚くすることができる。その結果、半導体装置の耐圧をさらに向上することができる。

【0063】

実施の形態 4

本発明の実施の形態 4 に係る DMOS トランジスタを備えた半導体装置について説明する。図 1 2 に示すように、本半導体装置では、N 拡散領域 8 の直下に位置する N+埋め込み拡散領域 3 において、スリット 6 7 が形成されている。

【0064】

なお、これ以外の構成については実施の形態 3 において説明した図 1 0 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0065】

この N+埋め込み拡散領域 3 におけるスリット 6 7 は、実施の形態 2 の場合と同様に、N 拡散領域 8 の直下の位置に対応する領域を覆うフォトリジストのパターンをマスクとしてイオン注入処理を施すとともに、その後の熱処理を経ることで形成される。

【0066】

このとき、注入された不純物が熱処理により、N 拡散領域 8 の直下に位置する N-エピタキシャル層 2 の領域および P-基板 1 に拡散することになるが、最終的にはこの部分では N+埋め込み拡散領域 3 a、3 b は互いに繋がらない。

【0067】

この半導体装置では、N+埋め込み拡散領域 3 と P-基板 1 との間に逆バイア

スが印加さるときは、N+埋め込み拡散領域 3 a、3 b から延びる空乏層が J F E T 効果によって N-エピタキシャル層 2 内へ侵入するのを阻止できることが望ましい。また、P+埋め込み拡散領域 4 と P-基板 1 との距離を、両者の間にパンチスルー現象が発生しない程度としておくことが望ましい。

【0068】

ピンチオフ前の状態では、図 1 3 に示すように、P+埋め込み拡散領域 4 a の側と P+埋め込み拡散領域 4 b の側とに形成される空乏層が互いに繋がっていないが、ピンチオフ後の状態では、図 1 4 に示すように、両空乏層が繋がることになる。N+埋め込み拡散領域 3 にスリット部が形成されていることで、空乏層は N+埋め込み拡散領域 3 a、3 b によって挟まれた領域に位置する N-エピタキシャル層 2 の部分を含むように広がる。

【0069】

これにより、実施の形態 3 における半導体装置の場合よりもオフ状態における実効的な N-エピタキシャル層 2 の厚さを厚くすることができる。その結果、ドレイン電極 1 2 直下部分における耐圧がさらに上昇して半導体装置全体の耐圧が向上する。

【0070】

実施の形態 5

本発明の実施の形態 5 に係る D M O S トランジスタを備えた半導体装置について説明する。図 1 5 に示すように、本半導体装置では、P+埋め込み拡散領域 4 において、実施の形態 1 において説明したくびれ 6 4 が複数形成されている。

【0071】

なお、これ以外の構成については実施の形態 1 において説明した図 1 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0072】

実施の形態 1 に係る半導体装置においては、所定の動作の際に P+埋め込み拡散領域 4 に電流が流れる場合があることを説明した。P+埋め込み拡散領域 4 に電流が流れる場合には、電流容量を確保するために、N 拡散領域 8 の領域面積を比較的大きくする必要がある。

【0073】

そのような場合、図16に示すように、N+埋め込み拡散領域3に複数のくびれが形成されていることによって、オフ状態では空乏層の幅が延びる部分が多く形成されることになる。その結果、より広いN拡散領域8を有する半導体装置に対しても、ドレイン電極12直下部分における耐圧が上昇して半導体装置全体の耐圧を向上させることができる。

【0074】

実施の形態6

本発明の実施の形態6に係るDMOSトランジスタを備えた半導体装置について説明する。図17に示すように、本半導体装置では、P+埋め込み拡散領域4a~4fにスリット67が複数形成されている。

【0075】

なお、これ以外の構成については実施の形態5において説明した図15に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0076】

この半導体装置では、実施の形態2において説明した半導体装置の場合と同様に、P+埋め込み拡散領域4にスリット67が形成されていることで実施の形態5において説明した半導体装置に比べて、さらに実効的なN-エピタキシャル層2の厚さをさらに厚くすることができる。その結果、比較的広いN+埋め込み拡散領域3が必要とされる半導体装置の耐圧をさらに向上することができる。

【0077】

また、この半導体装置では、図18に示すように、各P+埋め込み拡散領域4b~4eは周囲をN型半導体領域によって囲まれているため、ソース（電極11）側から延びる空乏層がたとえばP+埋め込み拡散領域4bに到達した時点でP+埋め込み拡散領域4bの周囲を取り囲むように空乏層が形成される。最終的に、N拡散領域8まで空乏層が到達したときにはすべてのP+埋め込み拡散領域4b~4eが空乏層によって取り囲まれていることになる。

【0078】

N-エピタキシャル層2の空乏化している領域では、矢印に示すようにN拡散

領域 8 に向かって電位が上昇している。このとき、P+埋め込み拡散領域 4 b ~ 4 e がそれぞれ電氣的にフローティングの状態であると、P 拡散領域 5 (各 P+埋め込み拡散領域 4 a、4 f) の側から N 拡散領域 8 の側に向かう方向に沿って P+埋め込み拡散領域 4 b ~ 4 e の電位も上昇することになる。

【0079】

これにより、N 拡散領域 8 の直下近傍に位置する、たとえば P+埋め込み拡散領域 4 c、4 d の電位とドレイン電位 (N 拡散領域 8 の電位) との電位差がより小さくなる。その結果、電位差が小さくなる分半導体装置の耐圧を向上することができる。

【0080】

実施の形態 7

本発明の実施の形態 7 に係る半導体装置として、ゲート絶縁型バイポーラトランジスタ (Insulated Gate Bipolar Transistor、以下「IGBT」と記す。) を有する半導体装置について説明する。図 19 に示すように、N-エピタキシャル層 2 の表面には N 拡散領域 7 が形成されている。その N 拡散領域 7 を周囲から取り囲むように P 拡散領域 6 が形成されている。

【0081】

また、N-エピタキシャル層 2 の表面には P+領域 15 が形成されている。その P+領域 15 の直下に N 拡散領域 8 が形成されている。P+領域 15 がコレクタ、P 拡散領域 6 がエミッタ、そして、N-エピタキシャル層 2 がベースとなる。その P+領域に 15 にコレクタ電極 16 が接続され、P 拡散領域 6 にエミッタ電極 17 が接続されている。

【0082】

このトランジスタでは、ゲート電極 10 に所定の電圧を印加することによって P 拡散領域 6 に形成されるチャンネル領域を介してベース電流が供給されることになる。このようなトランジスタは、特に IGBT と呼ばれている。なお、これ以外の構成については、実施の形態 1 において説明した図 1 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0083】

この半導体装置では、図 20 に示すように、コレクタ電極 16 の直下には、P+領域 15、N 拡散領域 8、N-エピタキシャル層 2 および P+埋め込み拡散領域 4 によって縦型の PNP 型トランジスタが形成された状態になる。IGBT における耐圧は、この縦型トランジスタのベースをフローティング状態にしたときのコレクタ-エミッタ間の耐圧 (BV_{ceo}) に相当する。そして、このトランジスタにおけるベース幅は、実効的な N-エピタキシャル層 2 になる。

【0084】

この IGBT では、図 20 に示すように、N 拡散領域 8 の直下に位置する P+埋め込み拡散領域 4 の部分にくびれ 64 が形成されていることで、実施の形態 1 において説明したように、この部分における N-エピタキシャル層 2 の実効的な厚みが増すことになり、この部分における空乏層幅が広がる。これにより、IGBT を有する半導体装置のオフ状態における耐圧が向上する。

【0085】

実施の形態 8

本発明の実施の形態 8 に係る半導体装置として、PNP トランジスタを有する半導体装置について説明する。図 21 に示すように、N-エピタキシャル層 2 の表面に N 拡散領域 24 および P 拡散領域 25 が隣接して形成されている。また、N 拡散領域 24 および P 拡散領域 25 とはシリコン酸化膜 9 を挟んで隔てられた N-エピタキシャル層 2 の表面に、P 拡散領域 6 および P 拡散領域 5 が隣接して形成されている。

【0086】

その P 拡散領域 5、6 に電氣的に接続されるコレクタ電極 21 が形成されている。P 拡散領域 25 に電氣的に接続されるエミッタ電極 22 が形成されている。P 拡散領域 24 に電氣的に接続されるベース電極 23 が形成されている。なお、これ以外の構成については、実施の形態 1 において説明した図 1 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0087】

この半導体装置では、P 拡散領域 5、6 および P+拡散領域 4 をコレクタ、P 拡散領域 25 をエミッタ、そして、N-エピタキシャル層 2 をベースとする PN

Pトランジスタが形成されている。

【0088】

半導体装置における耐圧は、このトランジスタのベースをフローティング状態にしたときのコレクターエミッタ間の耐圧 (BV_{ceo}) に相当する。この耐圧はトランジスタの電流増幅率 hFE の上昇にしたがい低下する傾向にあり、電流増幅率 hFE の $1/3 \sim 1/4$ 乗に反比例する。

【0089】

このため、半導体装置の耐圧を向上させたい場合には、トランジスタの電流増幅率 hFE をある程度抑える必要がある。特に、N-エピタキシャル層2をベースとする場合には、ベースの不純物濃度がかなり低いために、電流増幅率 hFE の値が数百以上になることが多くなる。

【0090】

本半導体装置では、実施の形態1において説明したように、P+埋め込み拡散領域4の部分にくびれ64が形成されていることで、ベースとなるN-エピタキシャル層2の実効的な厚みが増すことになり、図22に示すように、この部分における空乏層幅が広がる。これにより、PNPトランジスタを有する半導体装置のオフ状態における耐圧が向上する。

【0091】

実施の形態9

本発明の実施の形態9に係る半導体装置として、PNPトランジスタを有する半導体装置について説明する。図23に示すように、N+埋め込み拡散領域3に複数のくびれ66が形成されている。また、P+埋め込み拡散領域4にも複数のくびれ64が形成されている。なお、これ以外の構成については実施の形態8において説明した図21に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0092】

既に説明したように、複数のくびれ66を有するN+埋め込み拡散領域3は、あらかじめ間隔を隔てて形成した複数の不純物領域がその後の熱処理により拡散して互いに繋がることで形成される。複数のくびれ64を有するP+埋め込み拡

散領域 4 についても同様である。

【0093】

このため、繋がって一体化した N+埋め込み拡散領域 3 や P+埋め込み拡散領域 4 においては、当初からそれぞれの領域を一体的に形成した場合と比べると、それぞれの不純物濃度を下げたことと等価になる。このことにより、N+埋め込み拡散領域 3 や P+埋め込み拡散領域 4 から上下方向に向かって拡散する不純物の拡散長もより短くなる。すなわち、上下方向の拡散が抑制される。また、N+埋め込み拡散領域 3 および P+埋め込み拡散領域 4 にそれぞれ複数のくびれ 6 4、6 6 を形成することで、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との接合界面が凹凸状になる。その結果、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との界面 6 8 から延びる空乏層がより広がって、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との間の p n 接合の耐圧が上昇する。

【0094】

この PNP トランジスタを有する半導体装置においては、使用用途によっては、コレクタ (N+埋め込み拡散領域 3) の電位が負バイアス状態になり、かつ、その状態で耐圧を必要とする場合がある。N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との間にバイアスを印加した場合には、図 2 4 に示すように、P+埋め込み拡散領域 4 と N-エピタキシャル層 2 との界面から伸びる空乏層に、P+埋め込み拡散領域 4 と N+埋め込み拡散領域 3 との界面から延びる空乏層が加わることになる。

【0095】

上記のように、この半導体装置では、一体化した N+埋め込み拡散領域 3 や P+埋め込み拡散領域 4 においては不純物濃度を下げたことと等価になる。しかも、くびれ 6 4、6 6 を形成することで、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との界面 6 8 が凹凸状になる。

【0096】

したがって、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との界面から延びる空乏層がより広がることになる。その結果、N+埋め込み拡散領域 3 と P+埋め込み拡散領域 4 との p n 接合の耐圧が向上して、コレクタの電位が負バイ

アス状態における半導体装置の耐圧を向上することができる。

【0097】

実施の形態10

本発明の実施の形態10に係る縦型DMOSトランジスタを備えた半導体装置について説明する。図25に示すように、P-シリコン基板1上にN-エピタキシャル層2が形成されている。P-シリコン基板1とN-エピタキシャル層2の間には、複数のくびれ69を有するN+埋め込み拡散領域3が形成されている。

【0098】

N-エピタキシャル層2の表面にはN拡散領域34a、34b等が形成されている。そのN拡散領域34a、34b等を周囲から取り囲むようにP拡散領域35a等が形成されている。また、N-エピタキシャル層2の表面には、N+埋め込み拡散領域3に達するN+拡散領域36が形成されている。N拡散領域34a、34b等とN-エピタキシャル層2との間に位置するP拡散領域35a等の表面上に、絶縁膜を介在させてゲート電極33が形成されている。

【0099】

N拡散領域34a、34b等に電氣的に接続されるソース電極32が形成されている。N-エピタキシャル層2の表面にシリコン酸化膜9を挟んでソース電極32と反対側にはドレイン電極31が形成されている。ドレイン電極31はN+拡散領域36に電氣的に接続されている。

【0100】

本半導体装置では、図26に示すように、ゲート電極33に所定のしきい値電圧以上の電圧を印加することで、電流は、ソース電極32からN拡散領域34a、34b等を経てN-エピタキシャル層2へ流れ込み、そこから下方に位置するN+埋め込み拡散領域3へ到達し、N+埋め込み拡散領域3からN+拡散領域36を経てドレイン電極31へ流れることになる。このように、本半導体装置では、電流が縦方向に流れる。

【0101】

N+埋め込み拡散領域3には、複数のくびれ69が形成されている。このくび

れ 6 9 は、実施の形態 1 等において説明した方法と同様の方法によって形成される。

【0102】

オフ状態では、図 2 7 に示すように、特に P 拡散領域 3 5 と N-エピタキシャル層 2 との界面から空乏層が延びることになる。このとき、N+埋め込み拡散領域 3 に複数のくびれ 6 9 が形成されていることで、この部分では実効的な N-エピタキシャル層 2 の厚さが増して N+埋め込み拡散領域 3 側に延びる空乏層端がより深い位置にまで達することができる。これにより、この部分における空乏層幅が広がって、縦型 DMOS トランジスタを有する半導体装置の耐圧を向上することができる。

【0103】

実施の形態 1 1

本発明の実施の形態 1 1 に係る半導体装置について説明する。図 2 8 に示すように、N-エピタキシャル層 2 の表面に P 拡散領域 4 5 a、4 5 b が間隔を隔てて形成されている。また、N-エピタキシャル層 2 の表面に N+埋め込み拡散領域 3 と接する N+拡散領域 4 4 が形成されている。

【0104】

P 拡散領域 4 5 a に電氣的に接続されるコレクタ電極 4 2 が形成されている。P 拡散領域 4 5 b に電氣的に接続されるエミッタ電極 4 3 が形成されている。N+拡散領域 4 4 に電氣的に接続されるベース電極 4 1 が形成されている。なお、これ以外の構成については、実施の形態 1 0 において説明した図 2 5 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0105】

この半導体装置では、P 拡散領域 4 5 a をコレクタ、P 拡散領域 4 5 b をエミッタ、N-エピタキシャル層 2 をベースとする横型の PNP トランジスタが形成される。

【0106】

横型の PNP トランジスタの場合、エミッタである P 拡散領域 4 5 b の直下の領域に位置する N-エピタキシャル層 2 の部分の実効的な厚さが比較的薄い場合

には、P拡散領域45bからN-エピタキシャル層2に注入されるホールの注入効率が悪化する。このため、トランジスタにおける電流増幅率 hFE が低下する問題がある。

【0107】

また、コレクタであるP拡散領域45aの直下の領域に位置するN-エピタキシャル層2の部分の実効的な厚さが比較的薄いと、コレクタ直下における空乏層の伸びが制限されることになる。このため、コレクターエミッタ間の耐圧(BV_{ceo})が低下する問題がある。

【0108】

本半導体装置におけるオフ状態では、図29に示すように、特にP拡散領域45aとN-エピタキシャル層2との界面から空乏層が延びることになる。このとき、空乏層が延びる先にあるN+埋め込み拡散領域3に複数のくびれ69が形成されていることで、この部分では実効的なN-エピタキシャル層2の厚さが増してN+埋め込み拡散領域3側に延びる空乏層端がより深い位置にまで達することができる。これにより、空乏層幅が広がって、半導体装置の耐圧を向上することができる。

【0109】

また、実効的なN-エピタキシャル層2の厚さが増すことで、P拡散領域45bからN-エピタキシャル層2に注入されるホールの注入効率が悪化するのを抑制して、トランジスタの電流増幅率 hFE が低下するのを防止することができる。このようにして、本半導体装置では、上述したトランジスタの問題点を解消することができる。

なお、実施の形態10、11では、N+埋め込み拡散領域にくびれが形成された場合について説明したが、適切な間隔のスリットを設けた構造であっても同様に耐圧を向上することができる。

【0110】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更

が含まれることが意図される。

【0 1 1 1】

【発明の効果】

本発明の1つの局面における半導体装置の第1のものによれば、第2不純物領域の略直下に位置する部分において第2埋め込み不純物領域の表面が第2不純物領域から遠ざかるように窪んだ第1窪み部、または、この領域が途切れた第1隙間部が形成されていることで、この部分における半導体層の実効的な厚みが増すことになる。これにより、オフ状態において、半導体層と第2埋め込み不純物領域との界面から延びる空乏層の第2埋め込み不純物領域の側に向かって延びる空乏層端が、第2不純物領域の直下の部分では他の部分よりもより深いところに位置することになる。その結果、従来の半導体装置と比較すると、第2不純物領域の直下に位置する空乏層の幅が延びることになり、第2不純物領域直下部分における耐圧が上昇して半導体装置全体の耐圧が向上する。

【0 1 1 2】

半導体素子としてDMOSトランジスタを設けるためには、具体的に、第1不純物領域の表面に第1不純物領域によって取り囲まれるように形成された第1導電型の第3不純物領域と、その第3不純物領域と半導体層とによって挟まれた第1不純物領域の表面上に絶縁膜を介在させて形成された電極部とを含んでいることが望ましい。

【0 1 1 3】

また、半導体素子としてIGBTを設ける場合には、第2不純物領域に接するように形成された第2導電型の第4不純物領域をさらに含んでいることが望ましい。

【0 1 1 4】

そして、半導体素子としてバイポーラ型トランジスタを設ける場合には、半導体層の表面に形成された第2導電型の第5不純物領域を含んでいることが望ましい。

【0 1 1 5】

また、第2埋め込み不純物領域は第1窪み部を複数含んでいることが望ましく

、この場合には、オフ状態において、空乏層の幅が延びる部分が多く形成されることで、より広い第2不純物領域を有する半導体装置に対してもその耐圧を向上することができる。

【0116】

また、第2埋め込み不純物領域は第1隙間部を複数含んでいることが望ましく、この場合には、この部分における半導体層の実効的な厚みがさらに増して、オフ状態において、半導体層と第2埋め込み不純物領域との界面から延びる空乏層幅がさらに大きくなる。その結果、半導体装置の耐圧がさらに向上する。

【0117】

さらに、第2埋め込み不純物領域は、複数の第1隙間部によりそれぞれ電氣的にフローティングな状態にされた複数の領域を含んでいることが望ましく、この場合には、第1不純物領域の側から第2不純物領域の側に向かう方向に沿って、フローティングな状態にされた個々の第2埋め込み不純物領域の電位も上昇することになる。これにより、第2不純物領域の直下近傍に位置する第2埋め込み不純物領域の電位と第2不純物領域の電位との電位差がより小さくなる。その結果、電位差が小さくなる分半導体装置の耐圧を向上することができる。

【0118】

また、第1埋め込み不純物領域は、第1隙間部の略直下に位置する部分において第1埋め込み不純物領域の表面が第2不純物領域から遠ざかる方向に窪んだ第2窪み部、または、第1埋め込み領域が途切れている第2隙間部を含んでいることが望ましく、この場合には、第1埋め込み不純物領域を構成する不純物が、第1隙間部を挟んで位置する第2埋め込み不純物領域の間の半導体層の部分に拡散するのが抑えられて、この部分における不純物濃度の上昇が抑制されることになる。これにより、第1隙間部の間隔をより広げてもピンチオフ電圧の上昇は小さく抑えられて、第2不純物領域の直下に位置する半導体層の実効的な膜厚をより厚くすることができる。その結果、半導体装置の耐圧をさらに向上することができる。

【0119】

さらに、第1埋め込み不純物領域と第2埋め込み不純物領域との接合界面は凹

凸状になっていることが望ましく、この場合には、第1埋め込み不純物領域と第2埋め込み不純物領域との接合界面が凹凸状になることで、この接合界面から延びる空乏層がより広がることになる。その結果、この接合部分の耐圧が向上して、半導体素子としてたとえばバイポーラトランジスタを設けた場合のコレクタの電位が負バイアス時における半導体装置の耐圧を向上することができる。

【0120】

本発明の一つの局面における半導体装置の第2のものによれば、オフ状態では、特に第2不純物領域と半導体層との界面から空乏層が延びることになる。このとき、第2不純物領域の略直下に位置する部分において埋め込み不純物領域の表面が第2不純物領域から遠ざかるように窪んだ窪み部、または、この領域が途切れた隙間部が形成されていることで、この部分では実効的な半導体層の厚さが増して埋め込み不純物領域側に延びる空乏層端がより深い位置にまで達することができる。これにより、空乏層幅が広がって半導体装置の耐圧が向上する。

【0121】

半導体素子としてDMOSトランジスタを設ける場合には、第2不純物領域の表面に第2不純物領域によって取り囲まれるように形成された第1導電型の第3不純物領域と、第3不純物領域と半導体層とによって挟まれた第2不純物領域の表面上に絶縁膜を介在させて形成された電極部とを含んでいることが望ましい。

【0122】

また、半導体素子としてバイポーラトランジスタを設ける場合には、半導体層の表面に形成された第2導電型の第4不純物領域を含んでいることが望ましい。

【0123】

また、窪み部または隙間部は空乏層が延びてくる部分に形成されていることが望ましく、この場合には、延びてくる空乏層をより延ばすことができ、半導体素子としてたとえばバイポーラトランジスタを設ける場合には、電流増幅率を低下させることなく、耐圧を向上することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の一断面図である。

【図2】 同実施の形態において、P+埋め込み拡散領域の形成方法を説明

するための一平面図である。

【図 3】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 4】 同実施の形態において、P+埋め込み拡散領域に電流が流れる様子を示す断面図である。

【図 5】 同実施の形態において、P+埋め込み拡散領域に電流が流れる場合の等価回路を示す図である。

【図 6】 同実施の形態において、P+埋め込み拡散領域の形成方法を説明するための他の一平面図である。

【図 7】 本発明の実施の形態 2 に係る半導体装置の一断面図である。

【図 8】 同実施の形態において、ピンチオフ前の空乏層の状態を示す断面図である。

【図 9】 同実施の形態において、ピンチオフ後の空乏層の状態を示す断面図である。

【図 10】 本発明の実施の形態 3 に係る半導体装置の一断面図である。

【図 11】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 12】 本発明の実施の形態 4 に係る半導体装置の一断面図である。

【図 13】 同実施の形態において、ピンチオフ前の空乏層の状態を示す断面図である。

【図 14】 同実施の形態において、ピンチオフ後の空乏層の状態を示す断面図である。

【図 15】 本発明の実施の形態 5 に係る半導体装置の一断面図である。

【図 16】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 17】 本発明の実施の形態 6 に係る半導体装置の一断面図である。

【図 18】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 19】 本発明の実施の形態 7 に係る半導体装置の一断面図である。

【図 2 0】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 2 1】 本発明の実施の形態 8 に係る半導体装置の一断面図である。

【図 2 2】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 2 3】 本発明の実施の形態 9 に係る半導体装置の一断面図である。

【図 2 4】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 2 5】 本発明の実施の形態 1 0 に係る半導体装置の一断面図である。

【図 2 6】 同実施の形態において、オン状態で電流が流れる様子を示す断面図である。

【図 2 7】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 2 8】 本発明の実施の形態 1 1 に係る半導体装置の一断面図である。

【図 2 9】 同実施の形態において、オフ状態における空乏層の状態を示す断面図である。

【図 3 0】 従来の半導体装置の一断面図である。

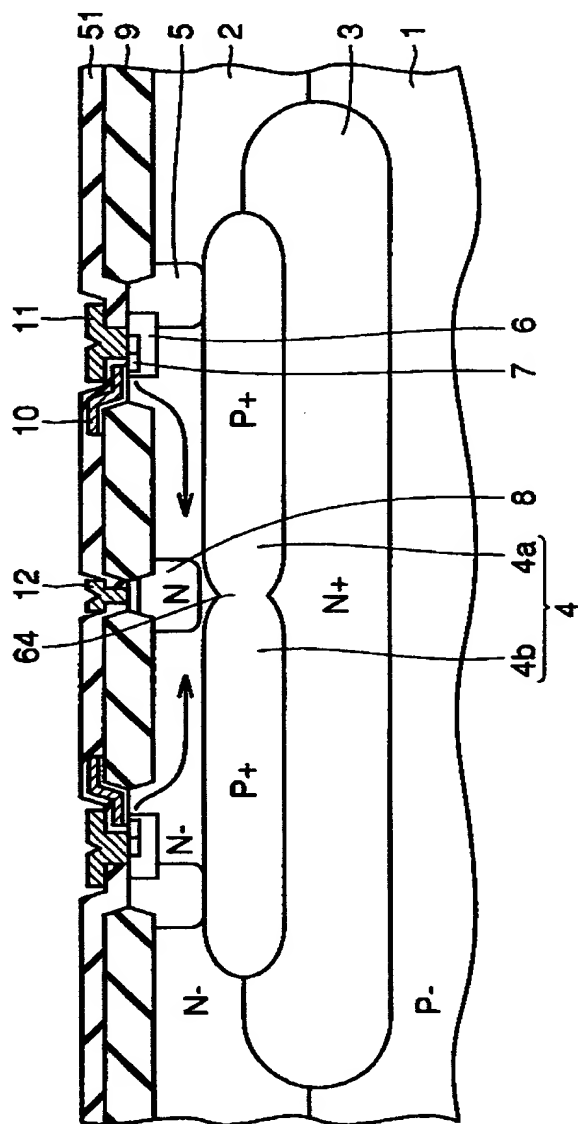
【図 3 1】 従来の半導体装置のオフ状態における空乏層の状態を示す断面図である。

【符号の説明】

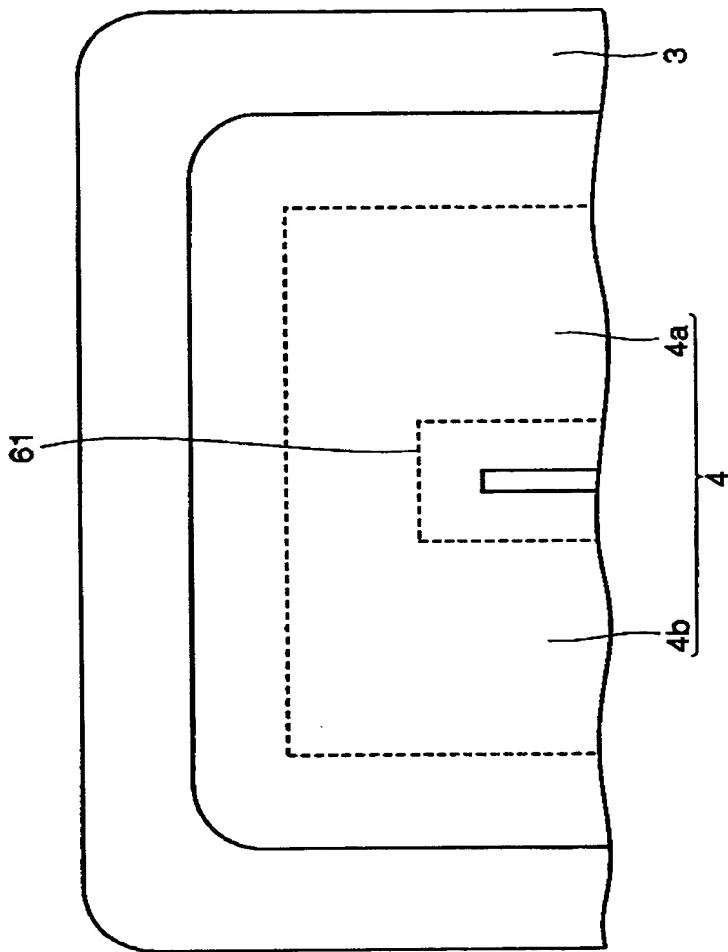
1 P-シリコン基板、2 N-エピタキシャル層、3、3 a、3 b N+埋め込み拡散領域、4、4 a、4 b P+埋め込み拡散領域、5、6、1 5、2 5、3 5、4 5 a、4 5 b P 拡散領域、7、8、2 4、3 4、3 6、4 4 N 拡散領域、9、5 1 シリコン酸化膜、1 0、3 3 ゲート電極、1 1、3 2 ソース電極、1 2、3 1 ドレイン電極、1 6、2 1、4 2 コレクタ電極、1 7、2 2、4 3 エミッタ電極、2 3、4 1 ベース電極、6 1 パターン、6 2 コイル、6 3 電流、6 4、6 6、6 9 くびれ、6 5、6 7 スリット、6 8 界面。

【書類名】 図面

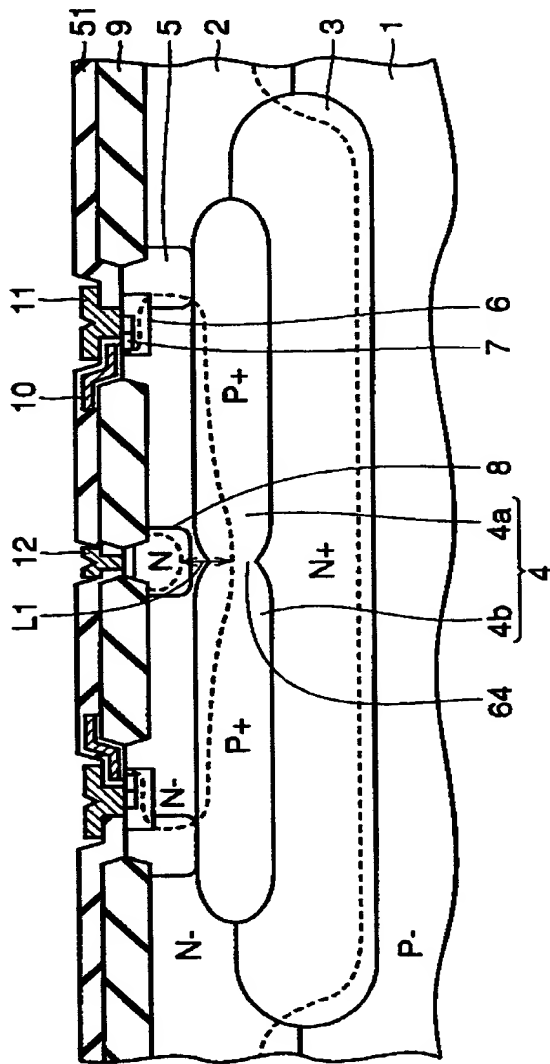
【図1】



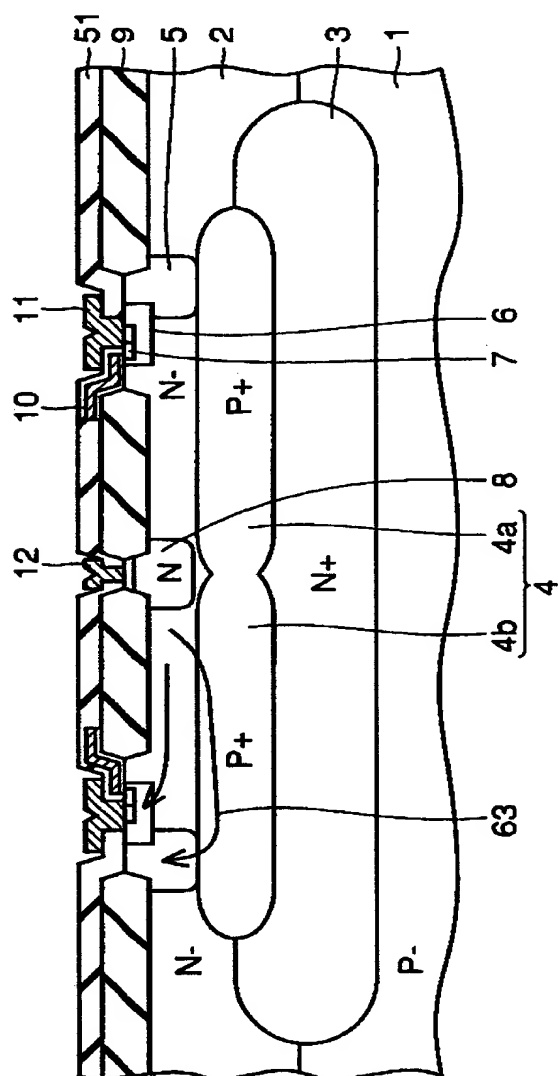
【図 2】



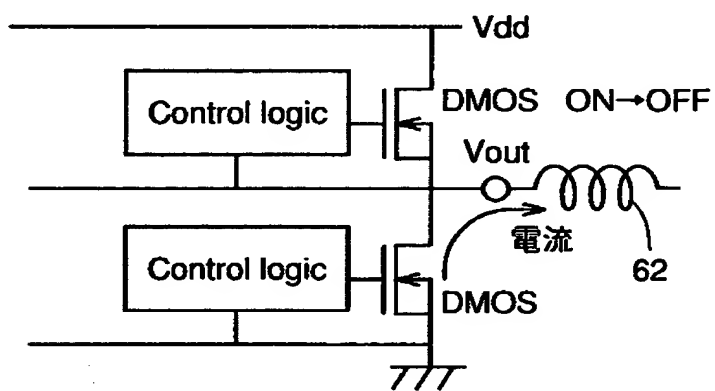
【図 3】



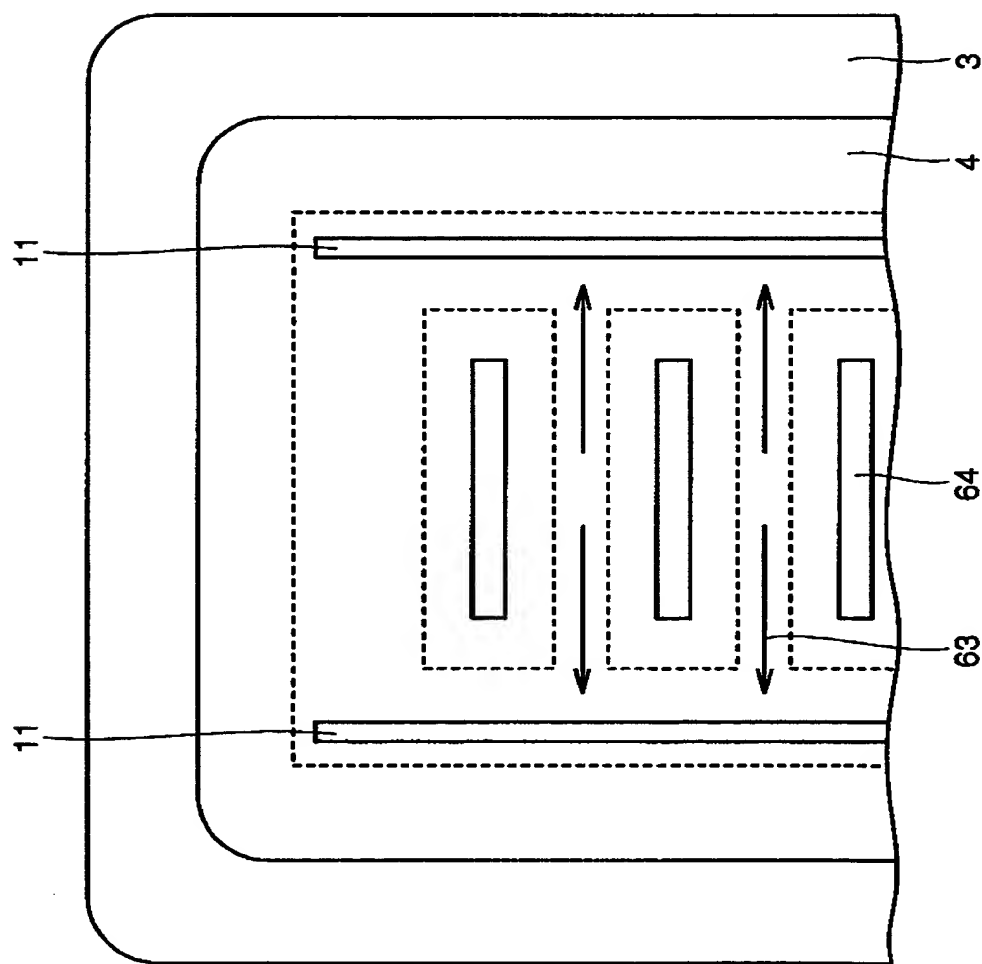
【図4】



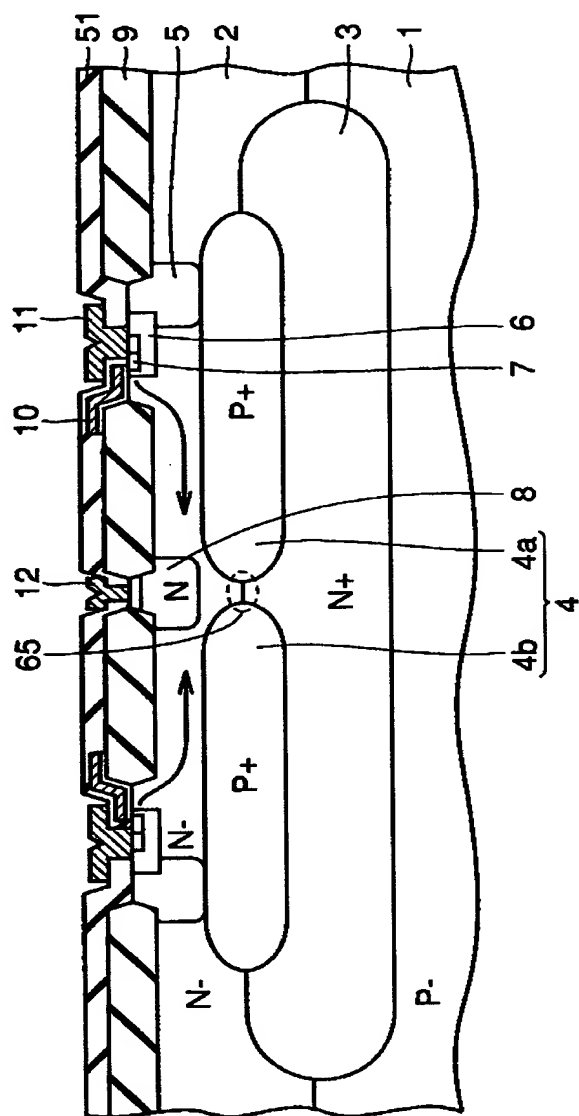
【図 5】



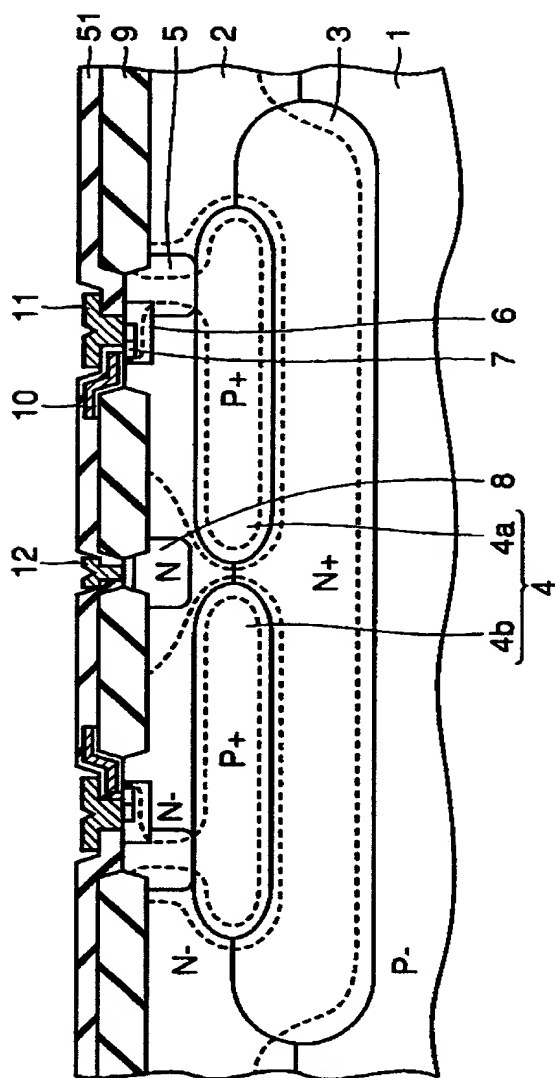
【図 6】



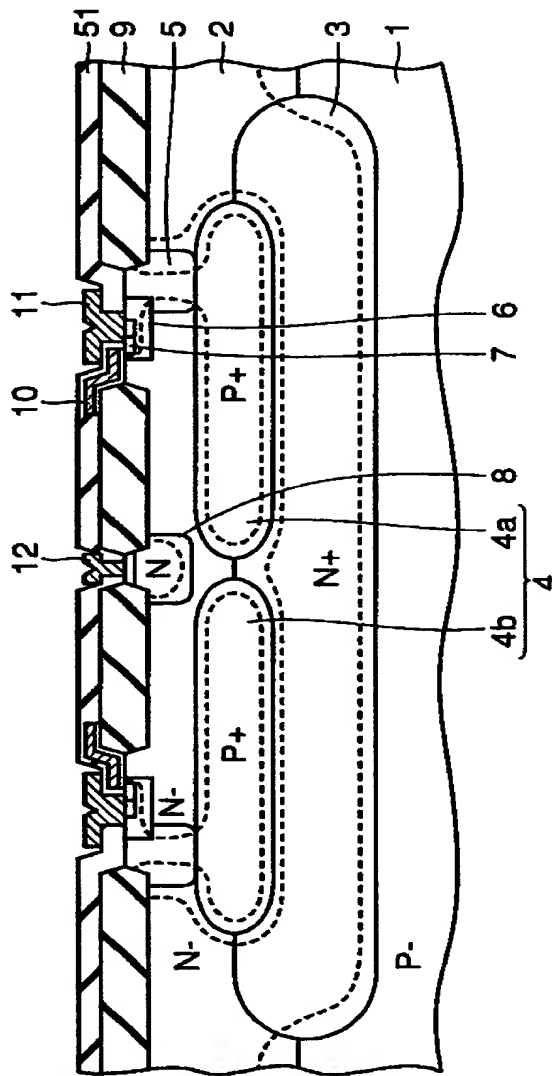
【图7】



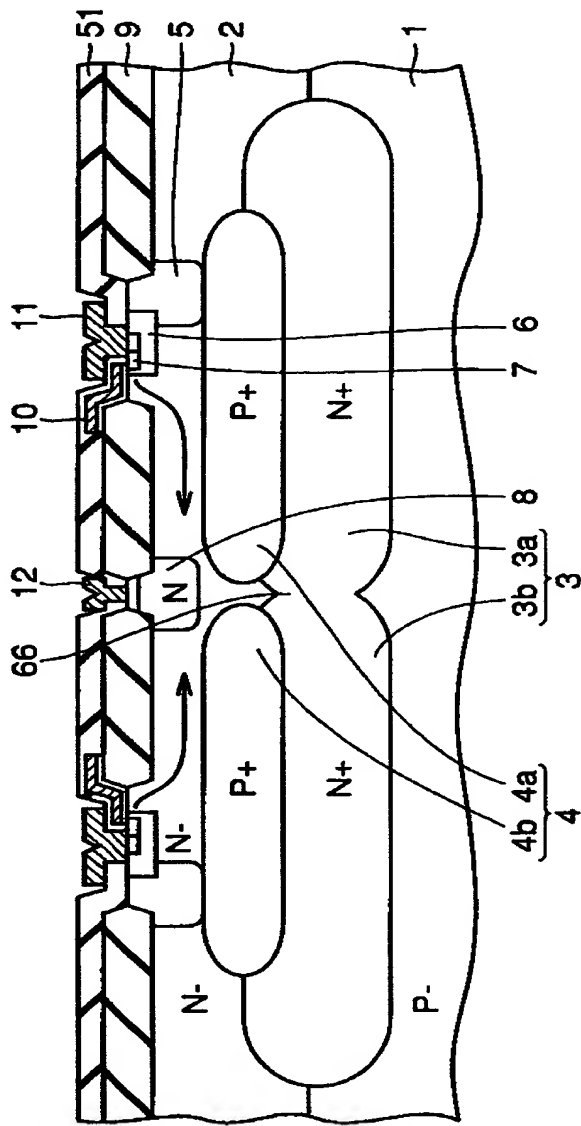
【図 8】



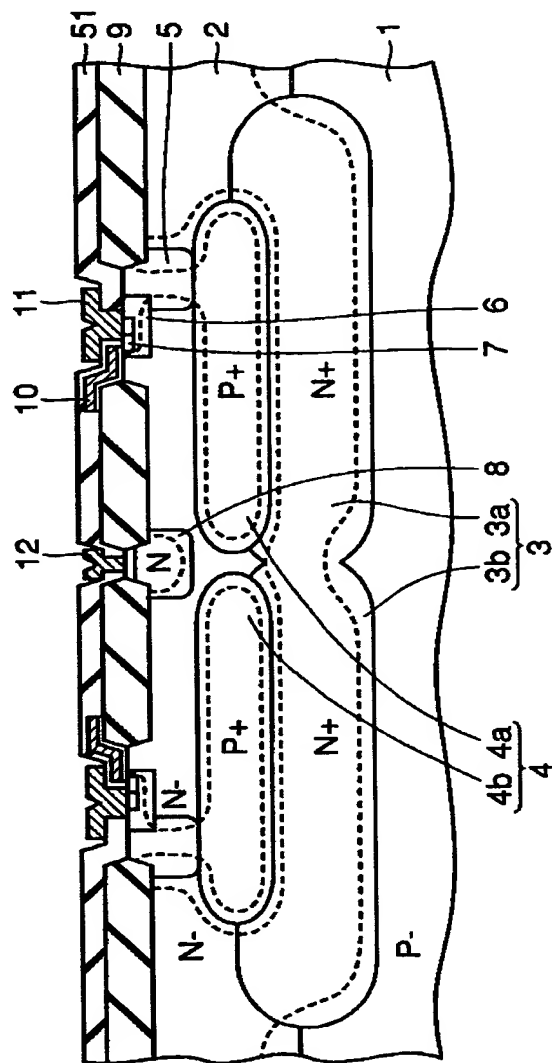
【图 9】



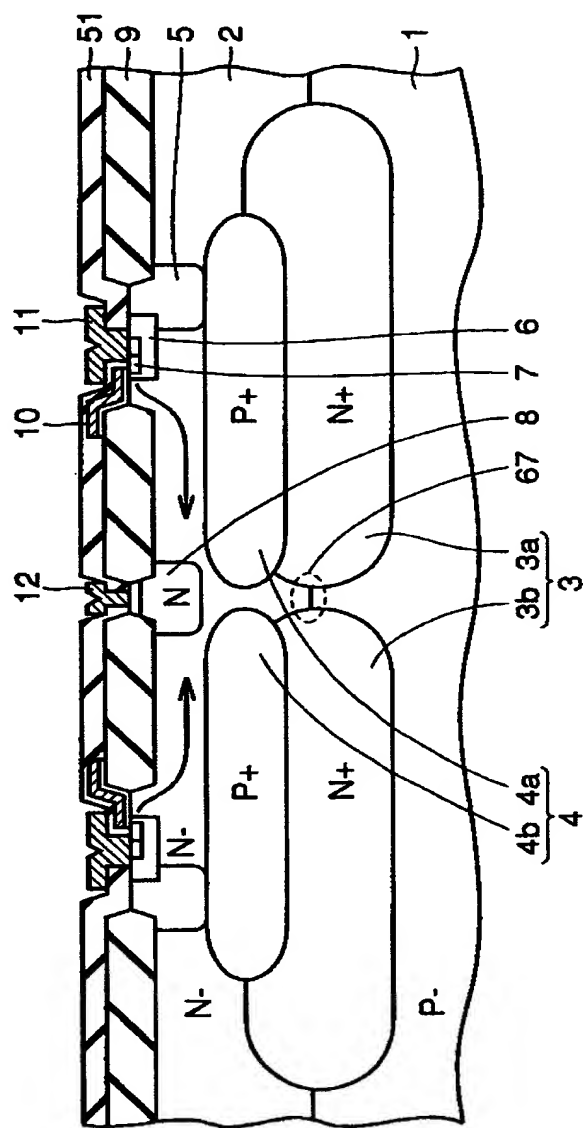
【図10】



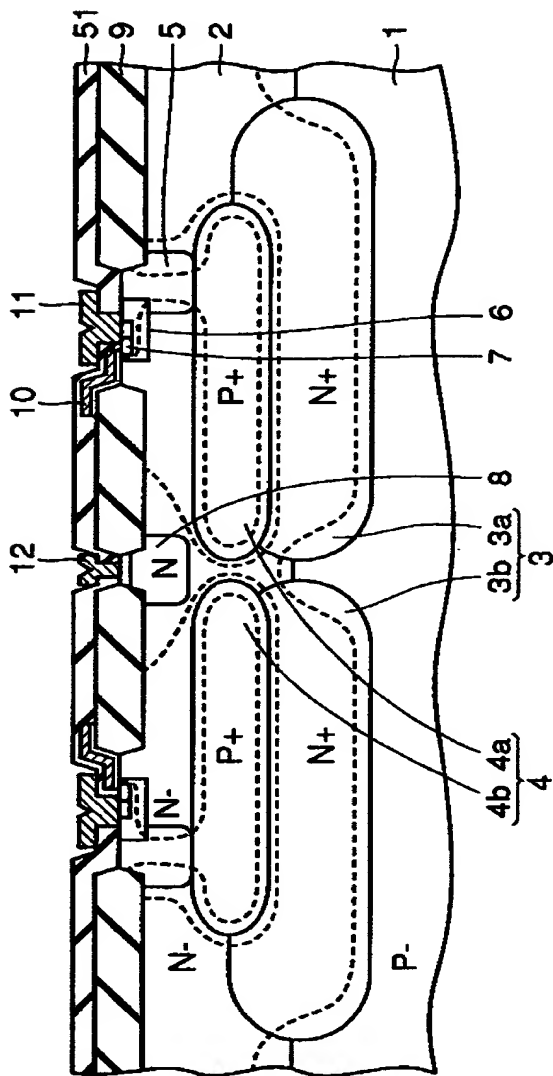
【図 11】



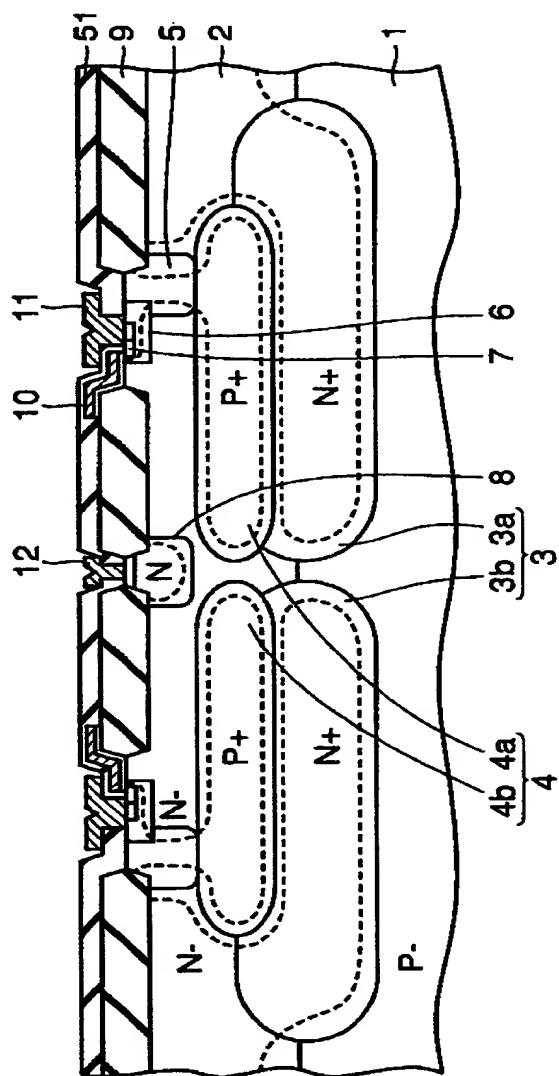
【图 12】



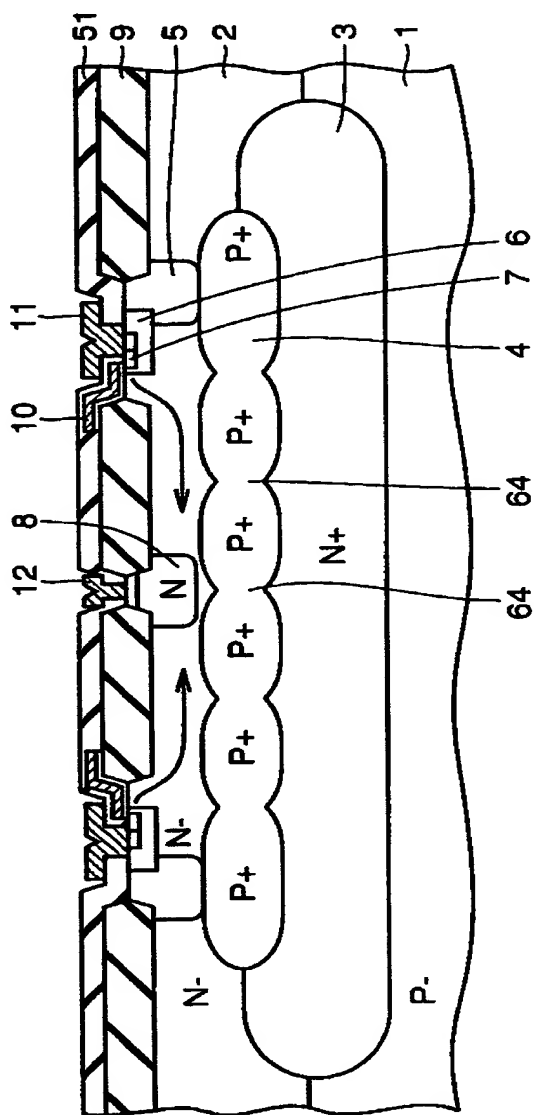
【図 13】



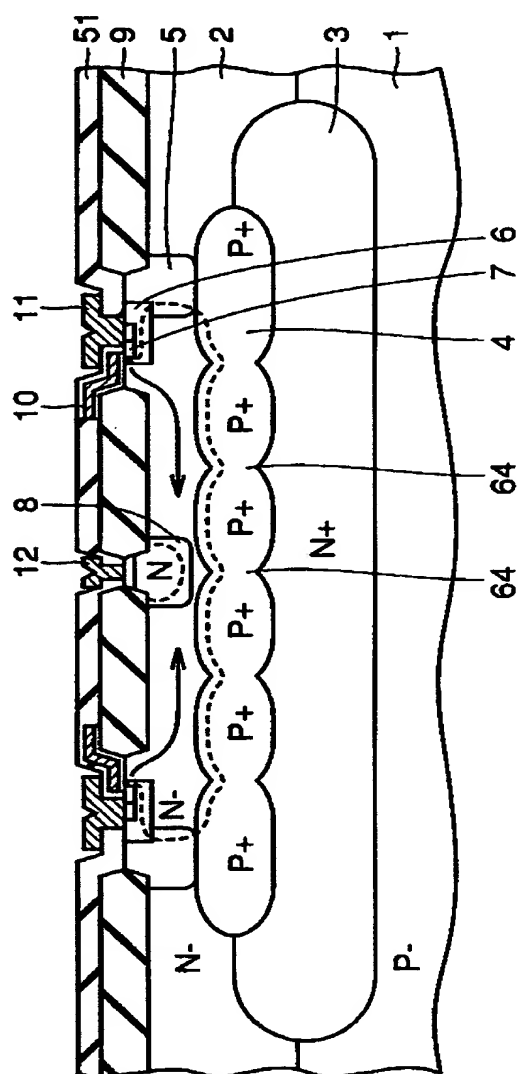
【図 14】



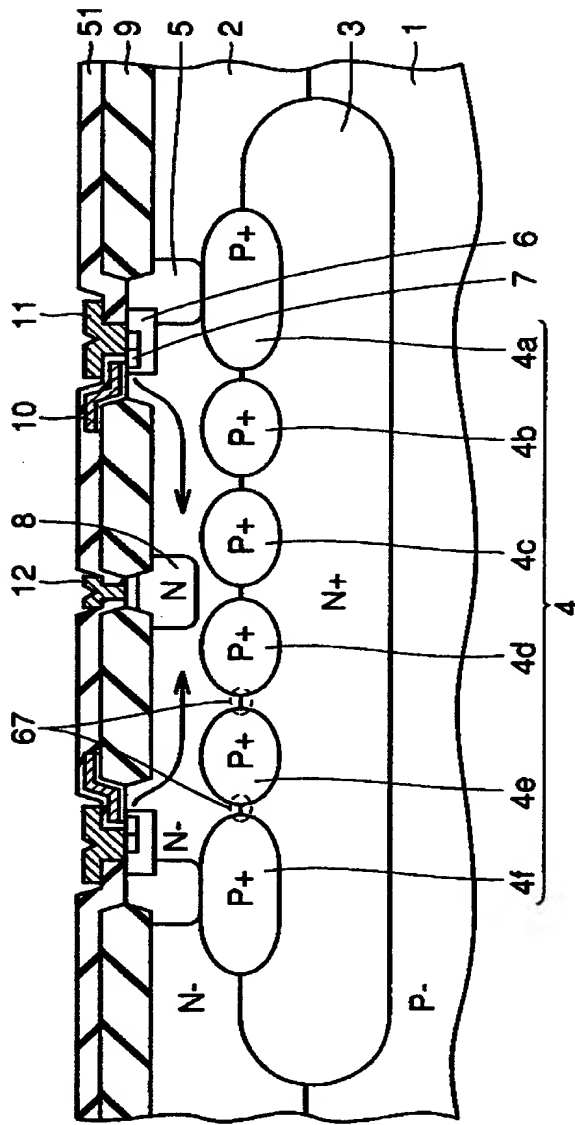
【図 15】



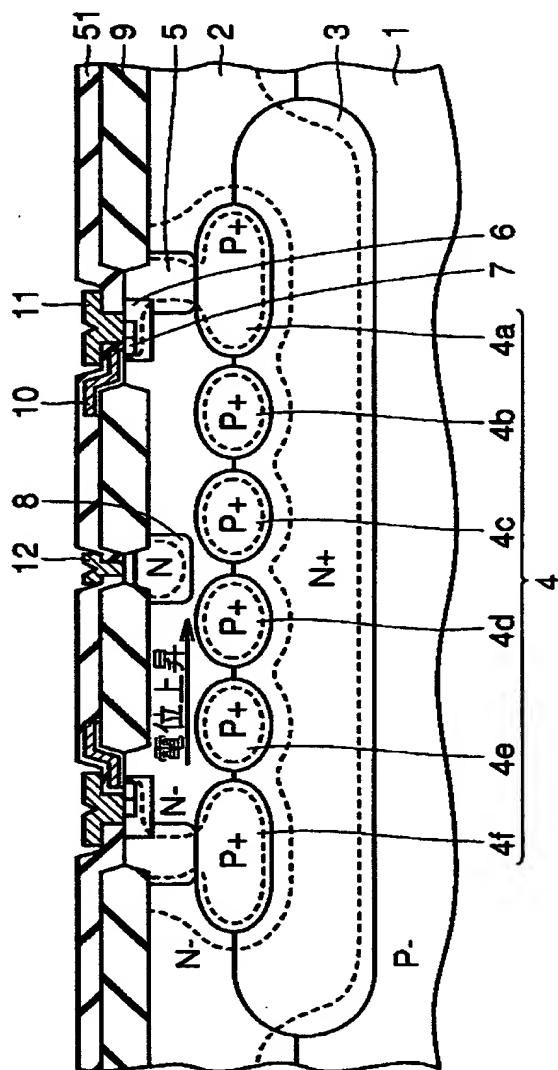
【図16】



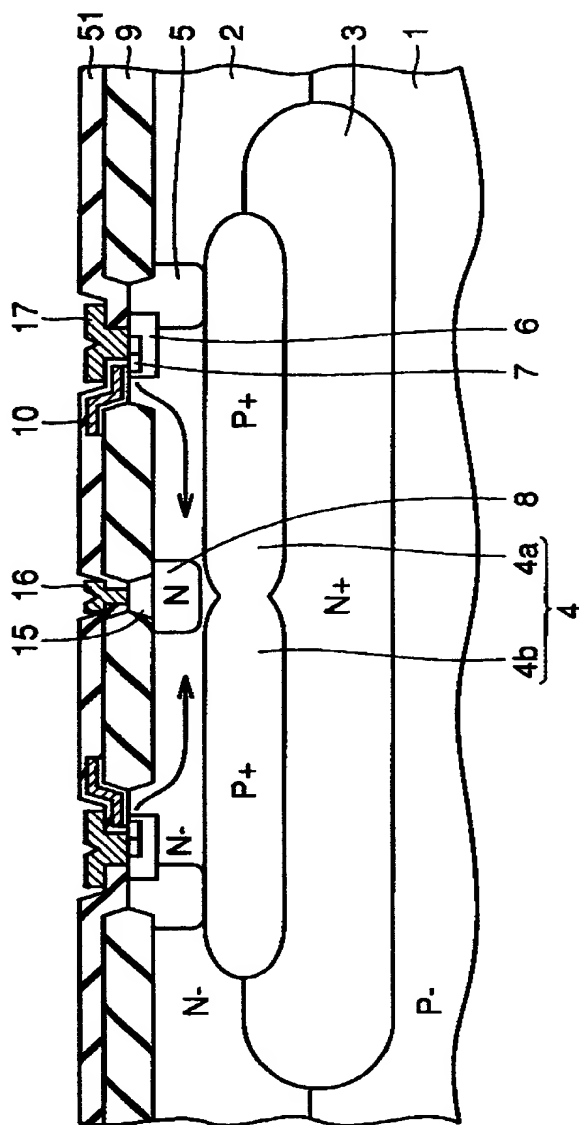
【図 1 7】



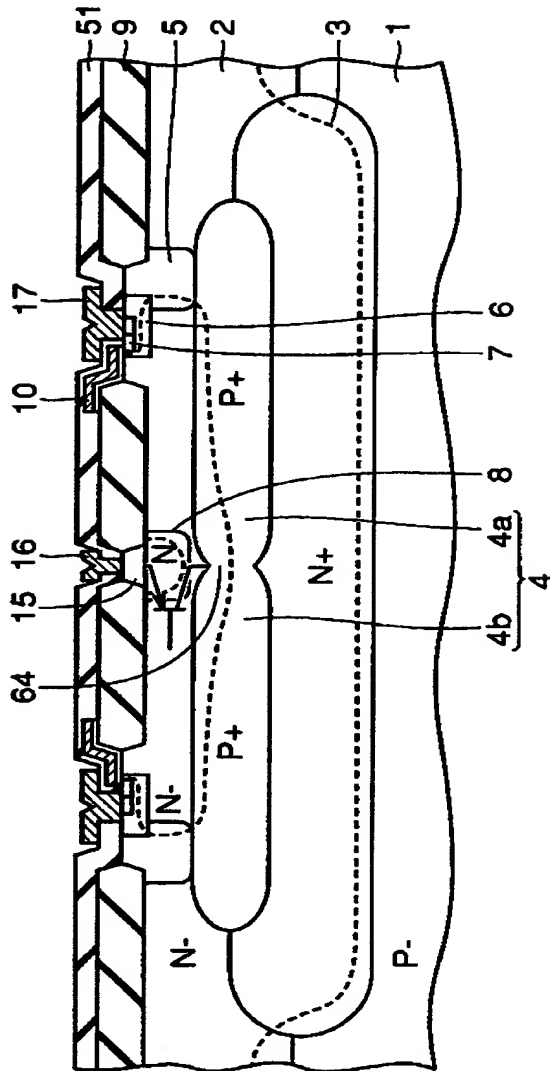
【図18】



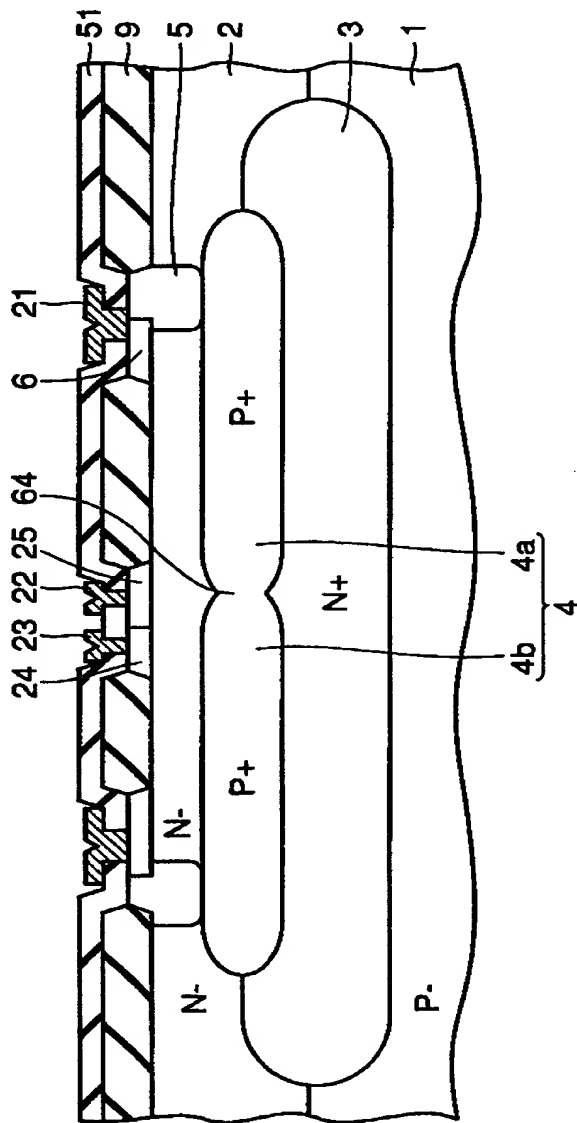
【图 19】



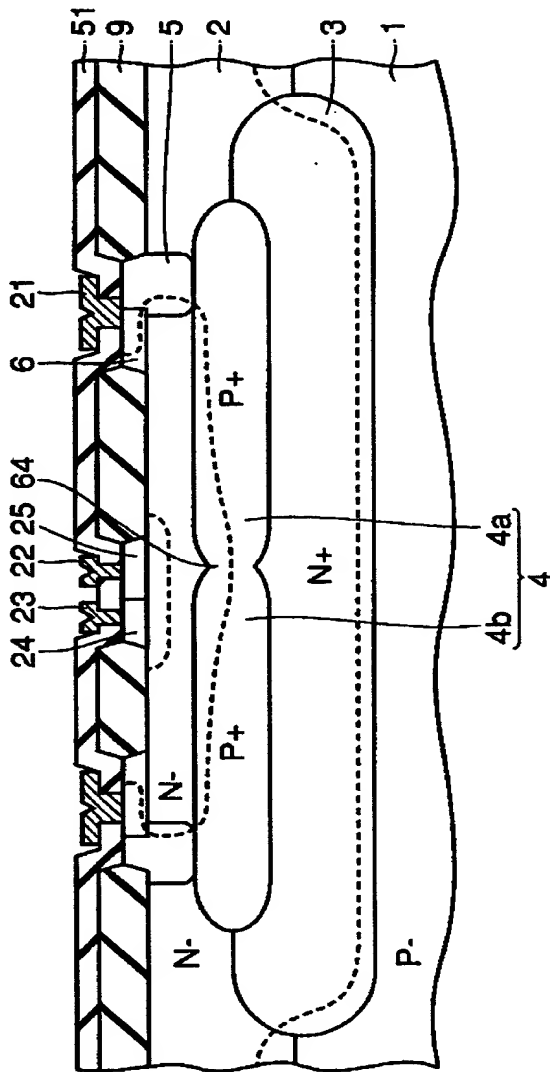
【図 2 0】



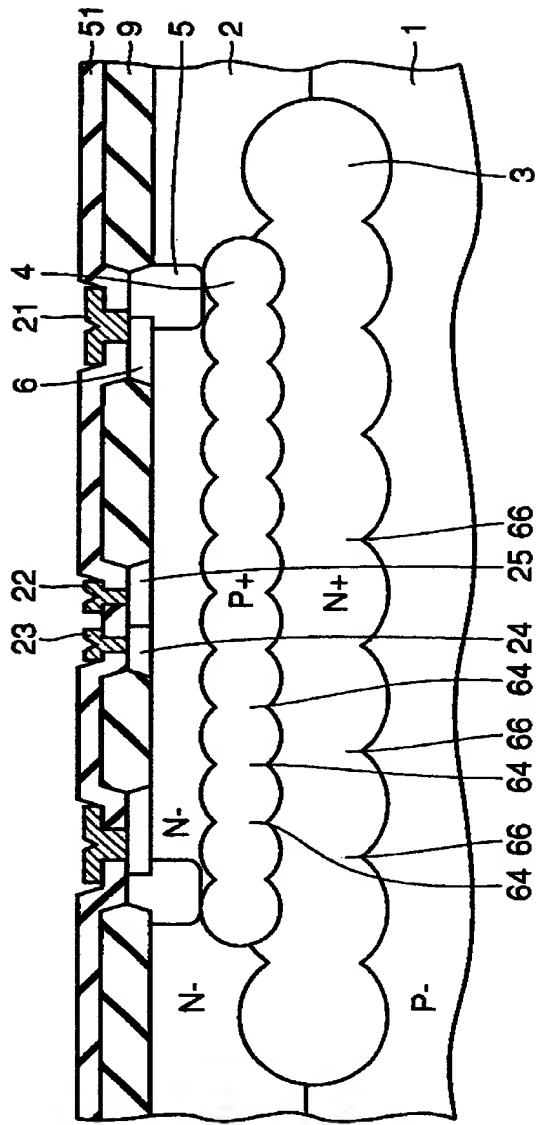
【図 2 1】



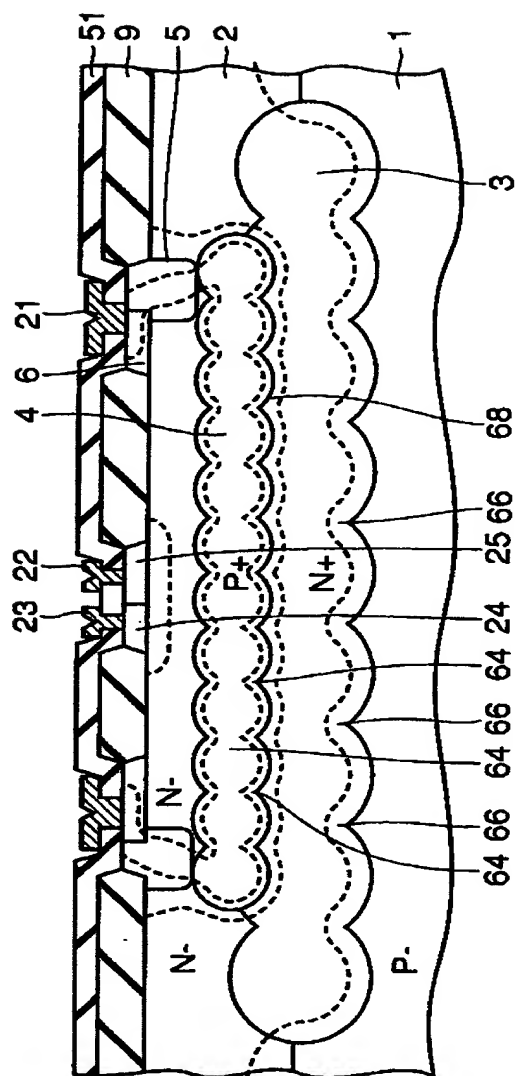
【図 2 2】



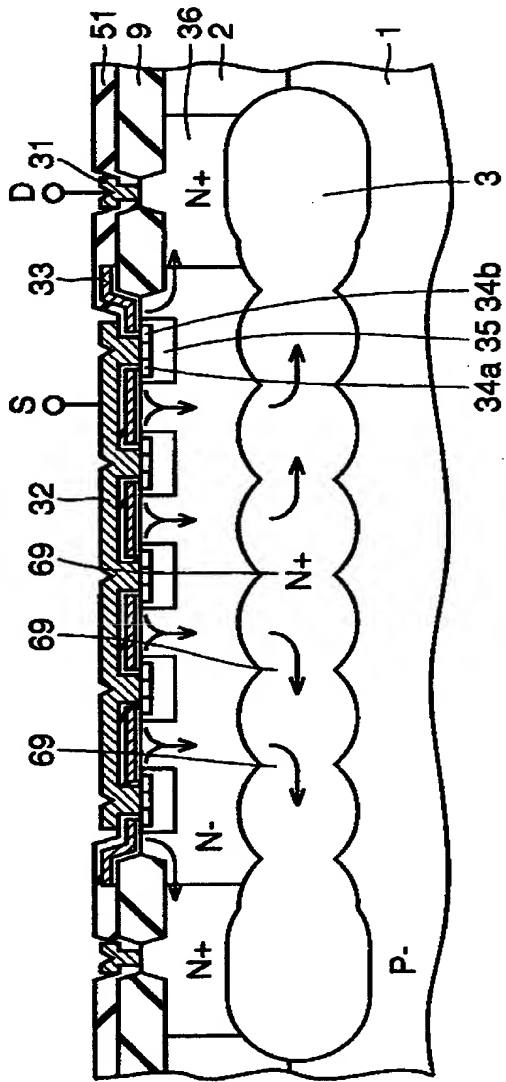
【图 23】



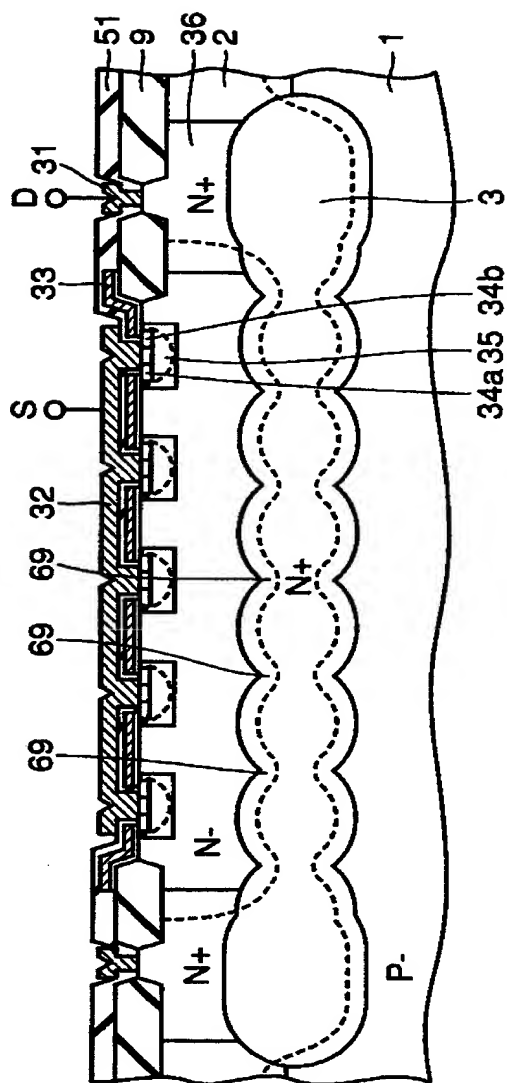
【図 24】



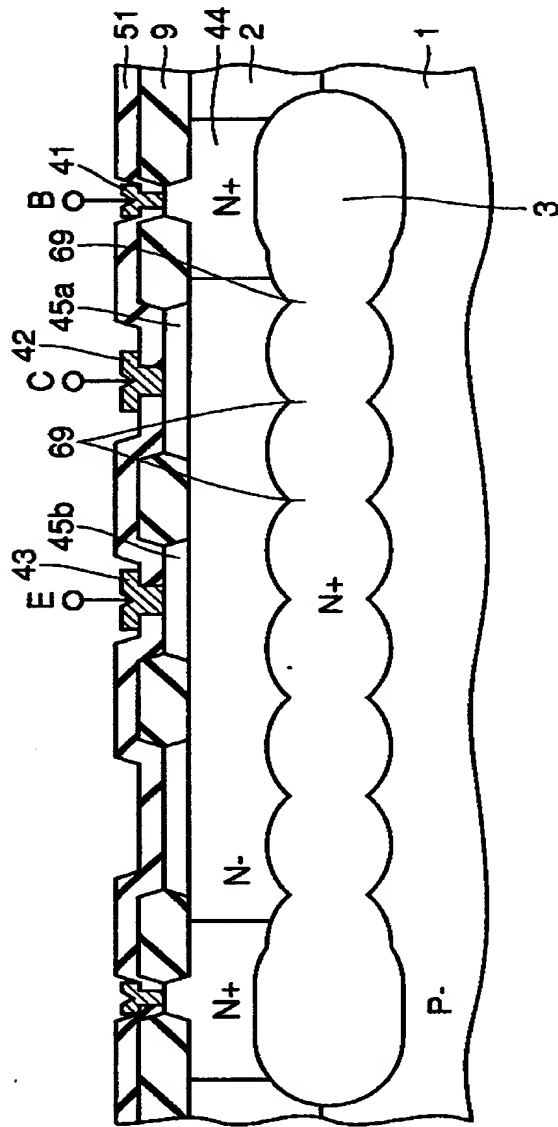
【図 2 6】



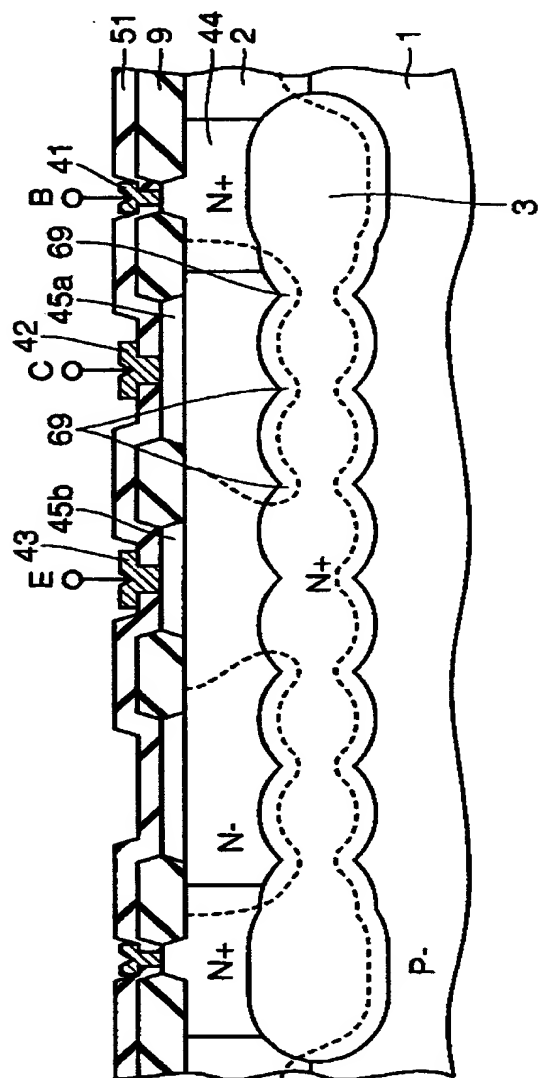
【图 2-7】



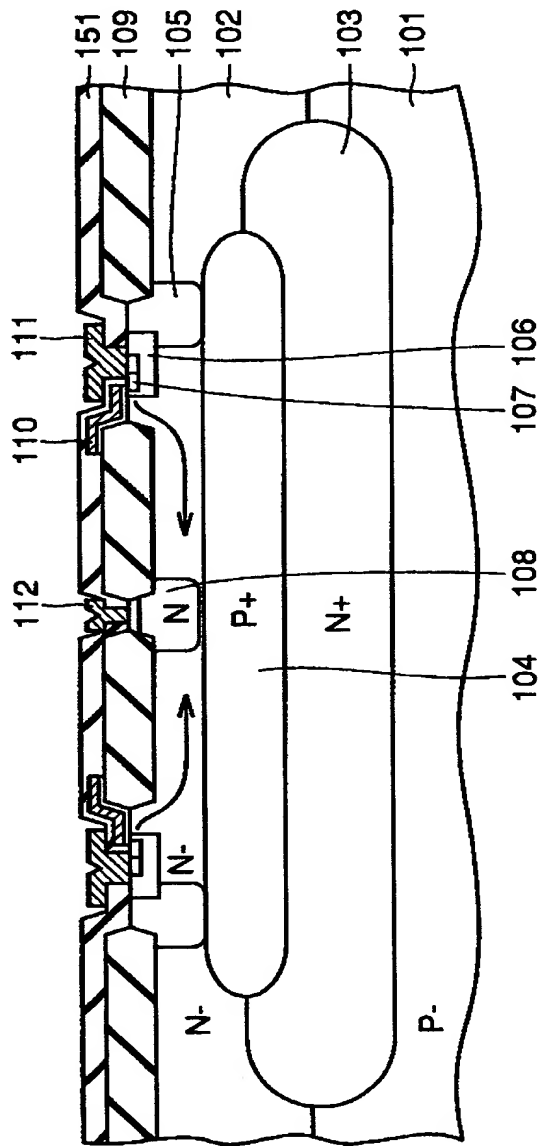
【图 28】



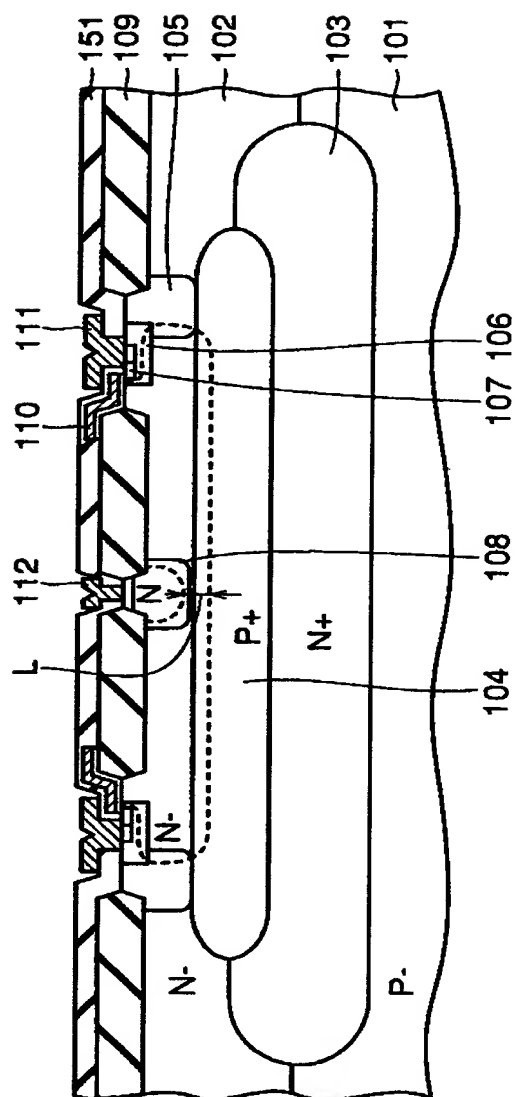
【図 29】



【図 3 0】



【图 3 1】



【書類名】 要約書

【要約】

【課題】 耐圧の向上が図られる半導体装置を提供する。

【解決手段】 P-シリコン基板 1 と N-エピタキシャル層 2 との間には、N+埋め込み拡散領域 3 が形成され、N+埋め込み拡散領域 3 と N-エピタキシャル層 2 との間には、P+埋め込み拡散領域 4 が形成されている。N-エピタキシャル層 2 の表面には N 拡散領域 7、P 拡散領域 6 および N 拡散領域 8 が形成されている。N 拡散領域 8 の略直下に位置する P+埋め込み拡散領域 4 の表面は、N 拡散領域 8 から遠ざかるように窪んでおり、この部分にくびれ 6 4 が形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社